

描述.....	3
特征.....	3
各封装引脚配置.....	4
系统方框图.....	10
管脚描述.....	11
特殊功能寄存器(SFR).....	13
功能描述：.....	16
1. 总特征.....	16
1.1. 嵌入式程序内存.....	16
1.2. IO 口.....	16
1.3. 2T/1T 的选择.....	16
1.4. 复位.....	17
1.4.1. 硬件复位功能.....	17
1.4.2. 软件复位功能.....	17
1.4.3. Time Access Key register (TAKEY).....	17
1.4.4. 软件复位寄存器 (SWRES).....	17
1.4.5. 复位状态旗标寄存器 (RSTS).....	18
1.4.6. 软件复位范例.....	18
1.5. 时钟源.....	18
2. 指令设置.....	19
3. 内存结构.....	23
3.1. 程序内存.....	23
3.2. 数据存储器.....	24
3.2.1. 数据存储器-低 128 字节(00h to 7Fh).....	24
3.2.2. 数据存储器-高 128 字节 (80h to FFh).....	24
4. CPU 结构.....	25
4.1. 累加器.....	25
4.2. B 寄存器.....	25
4.3. 程序状态字.....	26
4.4. 堆栈指针.....	26
4.5. 数据指针.....	26
4.6. 数据指针 1.....	27
4.7. 接口控制寄存器.....	27
5. GPIO.....	28
6. 定时器 0 和定时器 1.....	30
6.1. 定时器/计数器模式控制寄存器(TMOD).....	30
6.2. 定时/计数控制寄存器(TCON).....	31
6.3. 外设频率控制寄存器(PFCON).....	31
6.4. 模式 0 (13 位计数器/定时器).....	32
6.5. 模式 1 (16 位计数器/定时器).....	32
6.6. 模式 2 (8 位自动装载计数器/定时器).....	33
6.7. 模式 3 (定时器 0 作为两个独立的 8 位定时器/计数器).....	33
7. 定时器 2 以及捕捉/比较单元.....	34
7.1. 定时器 2 功能.....	36
7.1.1. 定时器模式.....	36
7.1.2. 事件计数模式.....	36
7.1.3. 门控定时器模式.....	36
7.1.4. 定时器 2 的重载.....	36
7.2. 比较功能.....	37
7.2.1. 比较模式 0.....	37



7.2.2.	比较模式 1.....	37
7.3.	捕获功能.....	38
7.3.1.	捕捉模式 0.....	38
7.3.2.	捕捉模式 1.....	38
8.	串行接口 0.....	39
8.1.	串行接口 0.....	40
8.1.1.	模式 0.....	40
8.1.2.	模式 1.....	41
8.1.3.	模式 2.....	41
8.1.4.	模式 3.....	41
8.2.	串行接口 0 的多重机通讯.....	42
8.3.	波特率发生器.....	42
8.3.1.	串行接口 0 的模式 1 和 3.....	42
9.	看门狗定时器.....	43
10.	中断.....	46
10.1.	优先级配置.....	48
11.	电源管理单元.....	50
11.1.	待机模式(空闲模式).....	50
11.2.	停止模式.....	50
12.	LVR-低压复位.....	51
13.	在系统程序设计(Internal ISP).....	52
13.1.	ISP 服务程序.....	52
13.2.	锁定位(N).....	52
13.3.	对 ISP 服务程序程序设计.....	52
13.4.	启动 ISP 服务程序.....	52
13.5.	ISP 寄存器 - TAKEY, IFCON, ISPFAL, ISPFAL, ISPFAL, ISPFAL and ISPFAL.....	53
	工作环境.....	56
	DC 电气特性.....	56

产品目录

SM59R02G1W28KP, SM59R02G1W28SP,
SM59R02G1W40PP, SM59R02G1W44JP,
SM59R02G1W44QP, SM59R02G1W44UP,
SM59R02G1W48VP

描述

SM59R02G1 是 1T (1 时钟周期) 的 8-bit 的单片机。它有专为程序而内嵌的 8k 字节的闪存 (flash)，并可执行完全兼容 MCS-51 的所有 ASM51 指令。

SM59R02G1 有 256K 的片上 SRAM，多达 42 个 GPIOs (PLCC 44/PQFP 44/LQFP 48)，多串行接口以及如以下所描述的多种外部资源，它可通过程序设计器进行程序设计。SM59R02G1 的高性能能在短时间内完成复杂的动作，大约有 1/3 的指令是 1T，其平均速度是传统 8051 的 8 倍，是所有 1T 8051 系列中最快的，其良好的 EMI 和 ESD 性能对在许多应用中都有很好的帮助。

订货信息

SM59R02G1ihhkL YWW

i: 工艺标志 { W=2.7V ~ 5.5V }

hh: 管脚数

k: 封装形式后缀 { as table below }

L: 无铅标志

{ 无文字即含铅, "P" 即无铅 }

Y: 年

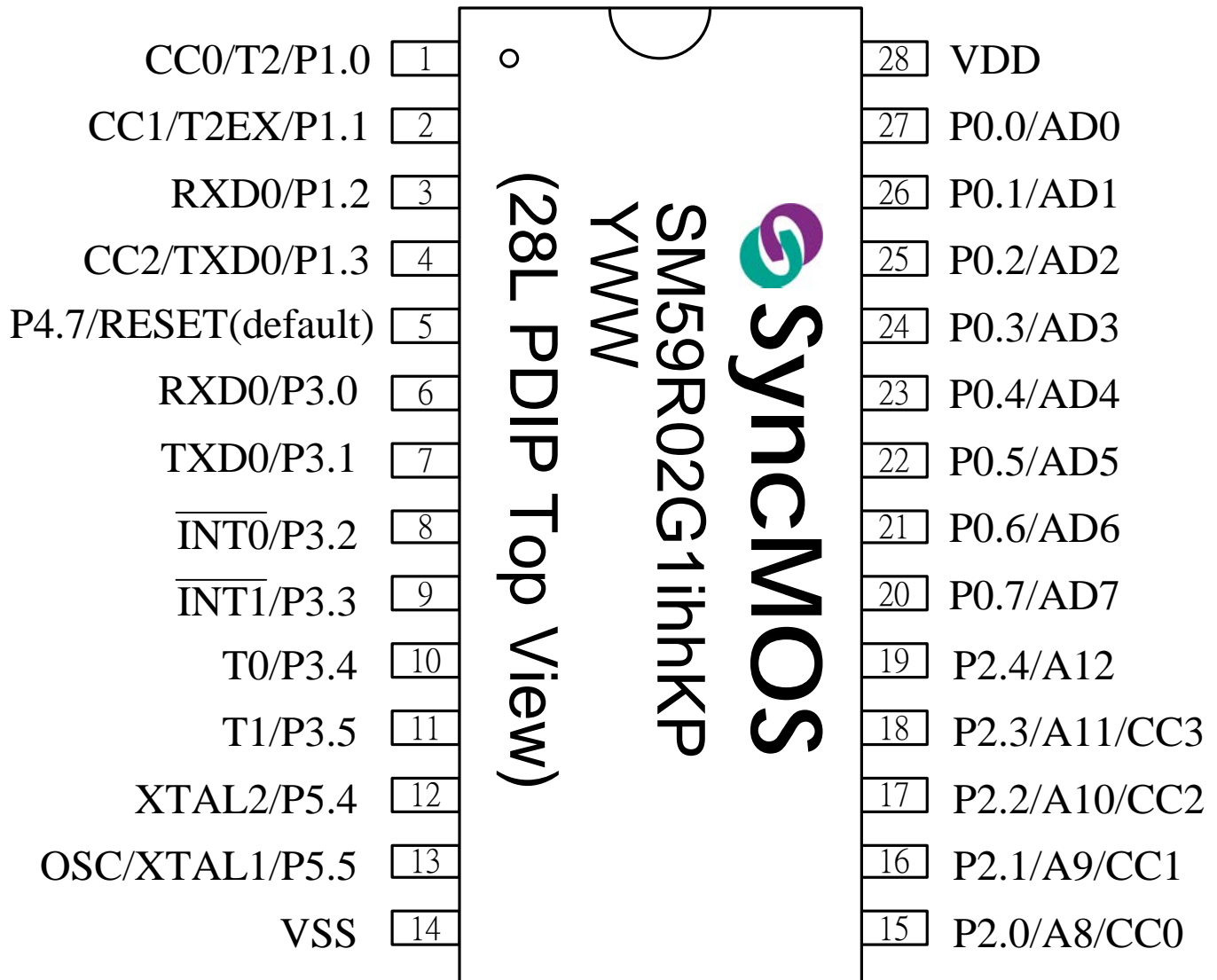
WW: 週 (01-52)

特征

- 工作电压: 2.7V ~ 5.5V
- 高速 1T 架构, 最高可达 25MHZ
- 1T/2T 模式可实时选择
指令设置兼容 MCS-51
- 8K 字节的片上程序内存
- 外扩 RAM 地址最大可达 64K 字节, 为外扩 RAM 存取用的标准 12T 接口
- 256 字节的标准的 8052 RAM
- 双 16-bit 数据指针 (DPTR0&DPTR1)
- 全双工通信的串行接口(UART0)
串行接口 0 附加速率产生器
- 三个 16-bit 的定时器/计数器 (定时器 0, 1, 2)
- 38 GPIOs(PDIP 40), 42 GPIOs(PLCC 44/PQFP 44/LQFP 48), GPIOs 可选择四种型态(准双向口、推挽、开漏、只输入), 默认准双向口(上拉)
- 具有四级优先权的外部中断 0, 1
- 可程序设计的看门狗定时器 (WDT)
- 4 路 16bit 比较/抓捕/装载功能
- 内置 22.1184MHz RC 振荡器, 及可程序设计时钟分频器
- 可配置外部晶体振荡器引脚
- ISP/IAP 功能.
- ISP 服务程序存储空间设置为 N*256 byte (N=0 to 4).
- EEPROM 功能
- ALE 输出选择
- 低电压复位(LVR)
- 增强用户代码保护
- 电源管理单元空闲及掉电模式

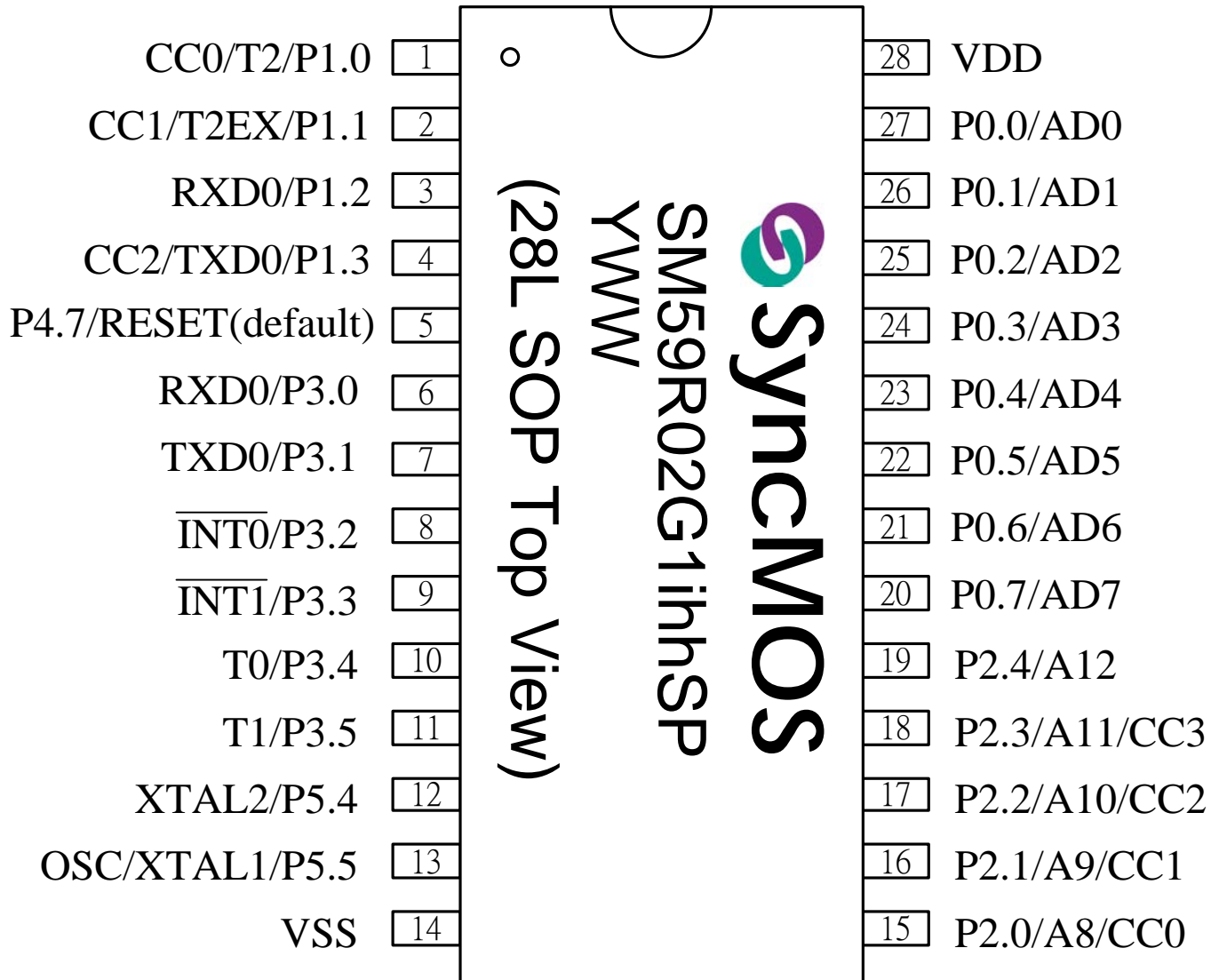
Postfix	Package	Pin / Pad Configuration
K	28L PDIP	Page 4
S	28L SOP	Page 5
P	40L PDIP	Page 6
J	44L PLCC	Page 7
Q	44L PQFP	Page 8
V	48L LQFP	Page 9

各封裝引腳配置



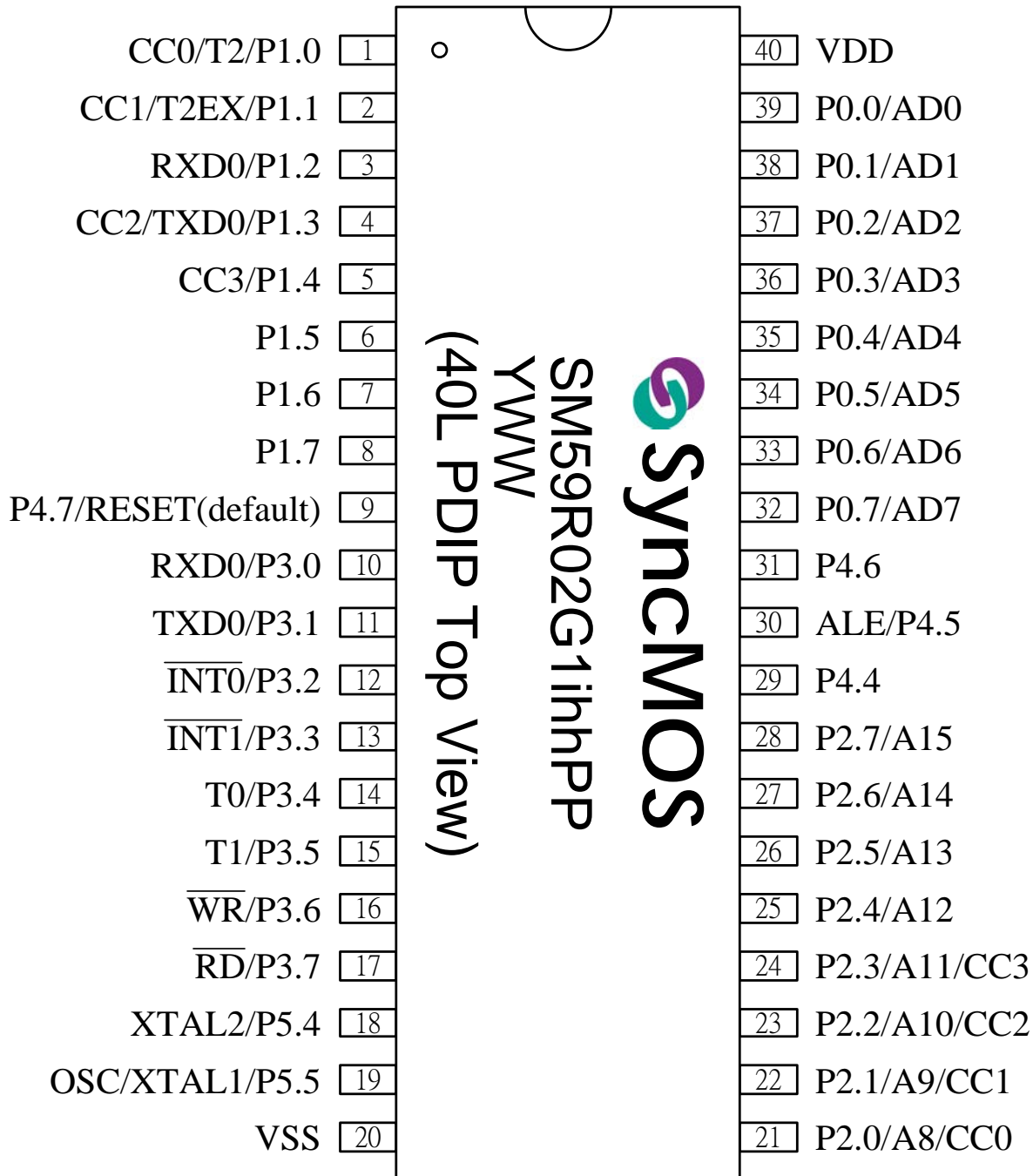
附注:

管脚 Reset/P4.7 于出厂时设置为 RESET 脚，使用者需于上电时将此管脚置低。使用者可于刻录时将此管脚定义为一般 I/O(P4.7)。



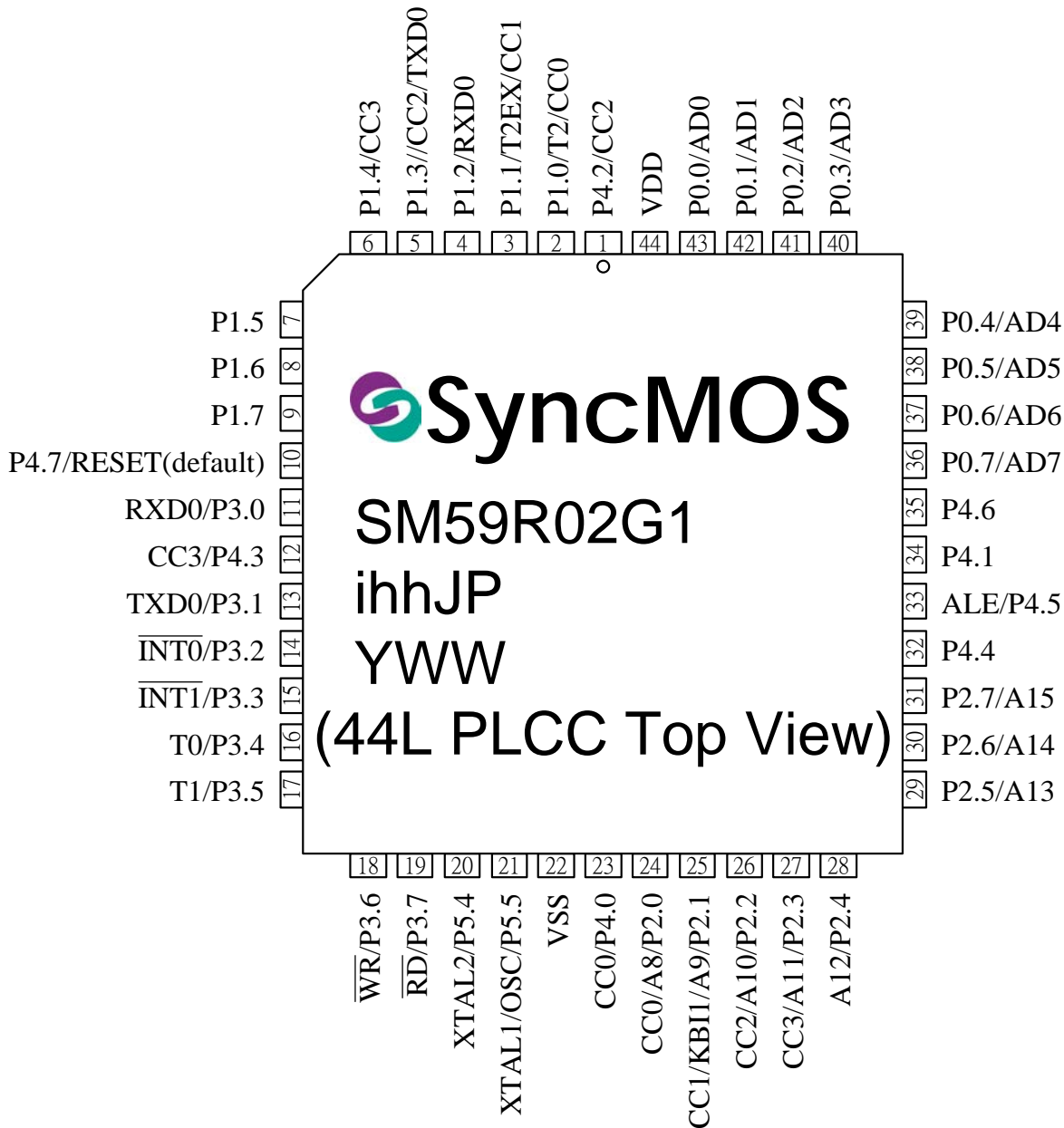
附注:

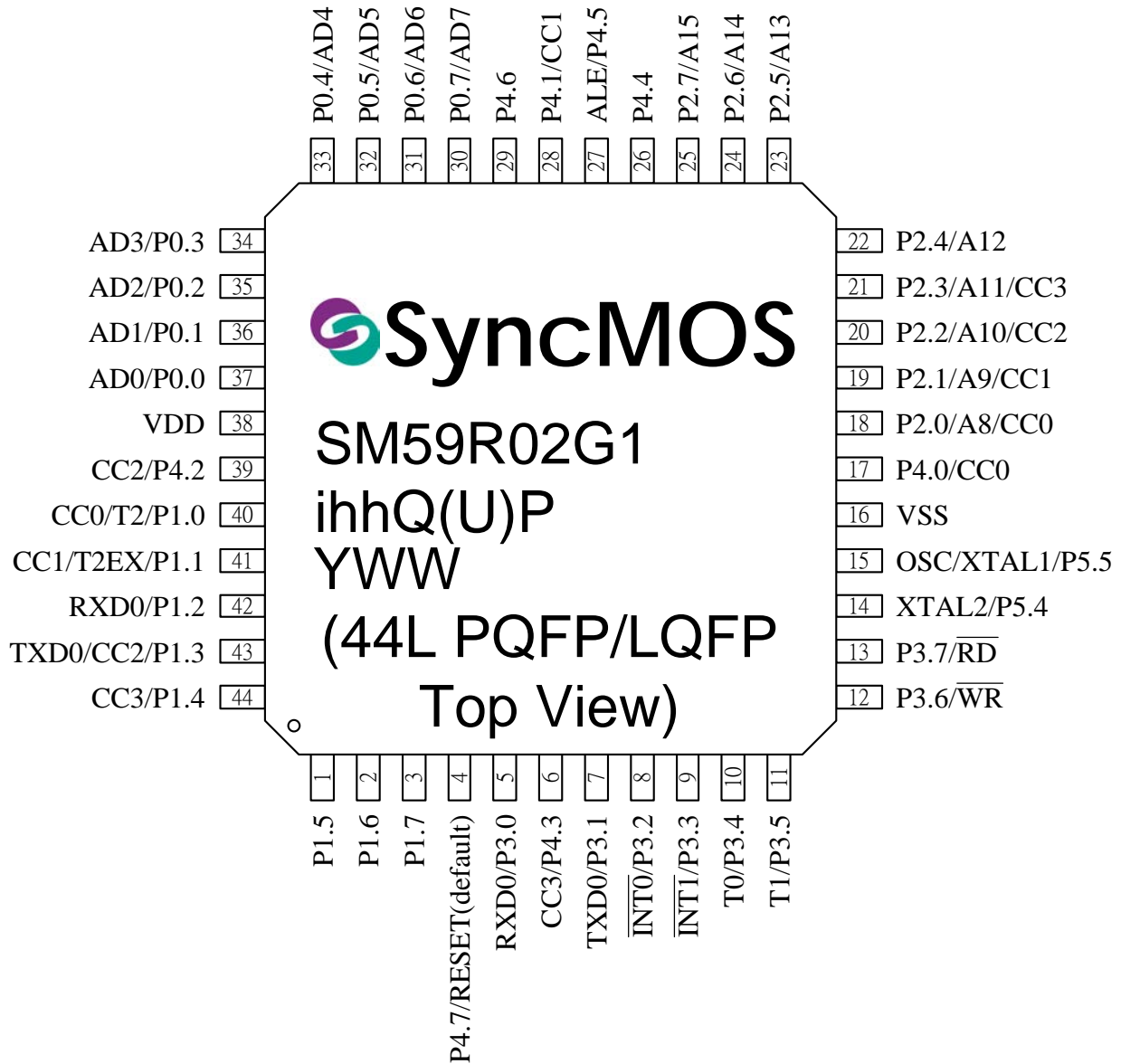
管脚 Reset/P4.7 于出厂时设置为 RESET 脚，使用者需于上电时将此管脚置低。使用者可于刻录时将此管脚定义为一般 I/O(P4.7)。

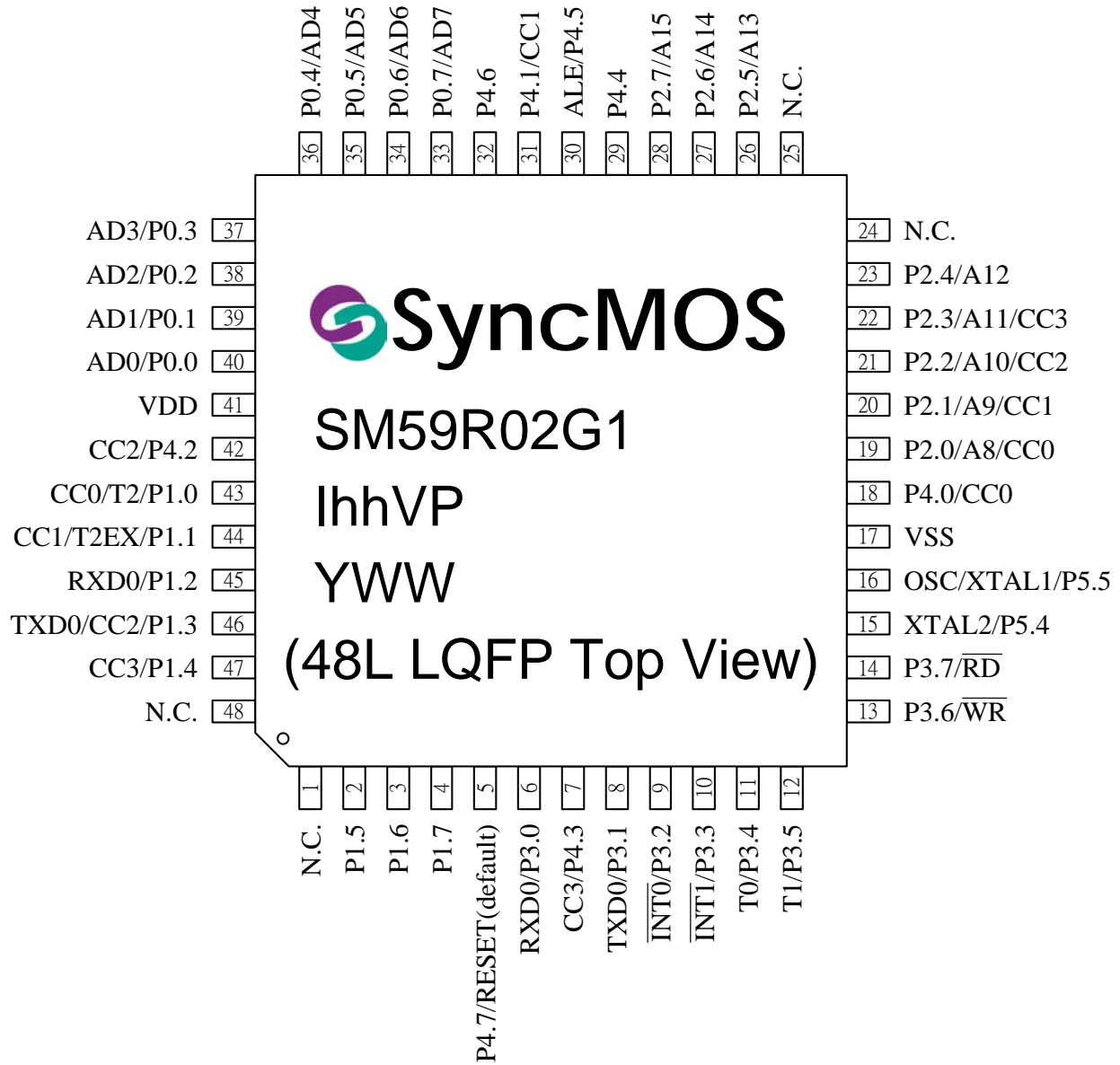


附注:

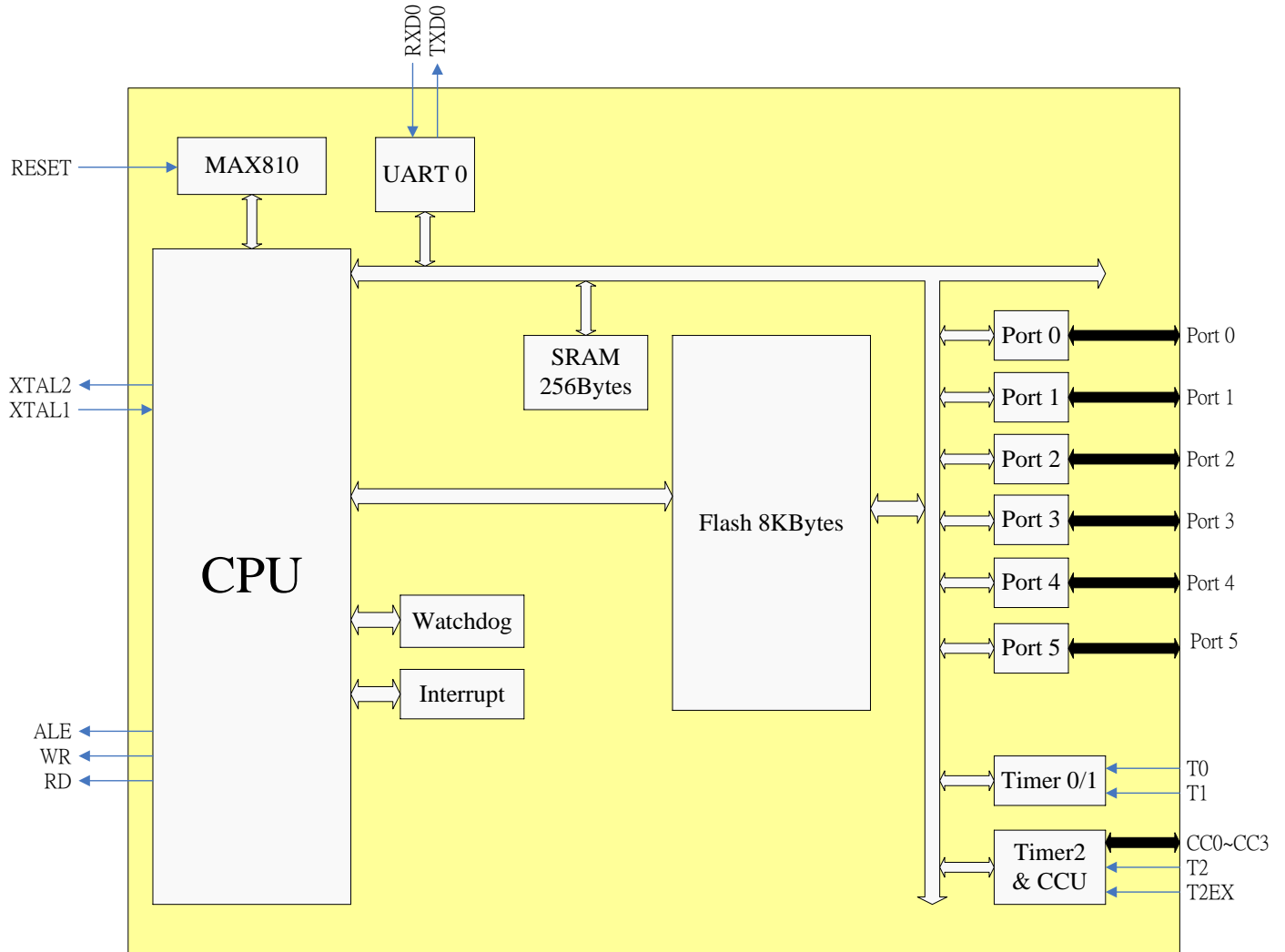
1. 管脚 Reset/P4.7 于出厂时设置为 RESET 脚，使用者需于上电时将此管脚置低。使用者可于刻录时将此管脚定义为一般 I/O(P4.7)。
2. 为避免偶然的情况下进入 ISP 刻录状态(参考第 13.4 单元)，在上电时必须确保没有连续的脉冲信号在管脚 P3.0 及管脚 P2.6、P2.7、P4.3 必须置高。







系統方框圖



管脚描述

28L	40L PDIP	44L PLCC	44L QFP	48L LQFP	Symbol	I/O	Description
		1	39	42	P4.2/CC2	I/O	P4 口的位 2 & 定时器 2 及 抓捕/比较单元信道 2
1	1	2	40	43	P1.0/T2/CC0	I/O	P1 口的位 0 & 定时器 2 外部输入时钟 & 定时器 2 及 抓捕/比较单元信道 0
2	2	3	41	44	P1.1/T2EX/CC1	I/O	P1 口的位 1 & 定时器 2 捕捉触发及捕获触发器 & 定时器 2 及 抓捕/比较单元信道 1
3	3	4	42	45	P1.2/RXD0	I/O	P1 口的位 2 & 串行接口通道 0 接收/发送数据
4	4	5	43	46	P1.3/TXD0/CC2	I/O	P1 口的位 3 & 串行接口信道 0 数据传输或接收模式 0 时钟 & 定时器 2 及 抓捕/比较单元信道 2
	5	6	44	47	P1.4/CC3	I/O	P1 口的位 4 & 定时器 2 及 抓捕/比较单元信道 3
				48	NC		
				1	NC		
	6	7	1	2	P1.5	I/O	P1 口的位 5
	7	8	2	3	P1.6	I/O	P1 口的位 6
	8	9	3	4	P1.7	I/O	P1 口的位 7
5	9	10	4	5	RESET(default)/P4.7	I/O	复位(初始设定) & P4 口的位 7
6	10	11	5	6	P3.0/RXD0	I/O	P3 口的位 0 & 串行接口通道 0 接收/发送数据
		12	6	7	P4.3/CC3	I/O	P4 口的位 3 & 定时器 2 及 抓捕/比较单元信道 3
7	11	13	7	8	P3.1/TXD0	I/O	P3 口的位 1 & 串行接口信道 0 数据传输或接收模式 0 时钟
8	12	14	8	9	P3.2/#INT0	I/O	P3 口的位 2 & 外部中断 0
9	13	15	9	10	P3.3/#INT1	I/O	P3 口的位 3 & 外部中断 1
10	14	16	10	11	P3.4/T0	I/O	P3 口的位 4 & 定时器 0 外部输入
11	15	17	11	12	P3.5/T1	I/O	P3 口的位 5 & 定时器 1 外部输出
	16	18	12	13	P3.6/#WR	I/O	P3 口的位 6 & 外部内存写入信号
	17	19	13	14	P3.7/#RD	I/O	P3 口的位 7 & 外部内存读取信号
12	18	20	14	15	XTAL2/P5.4	O	晶振输出 & P5 口的位 4
13	19	21	15	16	XTAL1/OSC/P5.5	I	晶振输入 & P5 口的位 5 & 外部振荡器输入
14	20	22	16	17	VSS	I	供电电源地
		23	17	18	P4.0/CC0	I/O	P4 口的位 0 & 定时器 2 及 抓捕/比较单元信道 0
15	21	24	18	19	P2.0 /A8/CC0	I/O	P2 口的位 0 & 外部内存地址的位 8 & 定时器 2 抓捕/比较单元信道 0
16	22	25	19	20	P2.1 /A9/CC1	I/O	P2 口的位 1 & 外部内存地址的位 9 & 定时器 2 抓捕/比较单元信道 1
17	23	26	20	21	P2.2 /A10/CC2	I/O	P2 口的位 2 & 外部内存地址的位 10 & 定时器 2 抓捕/比较单元信道 2
18	24	27	21	22	P2.3 /A11/CC3	I/O	P2 口的位 3 & 外部内存地址的位 11 & 定时器 2 抓捕/比较单元信道 3
19	25	28	22	23	P2.4 /A12	I/O	P2 口的位 4 & 外部内存地址的位 12 & 宽脉调制通道 0
				24	NC		
				25	NC		
	26	29	23	26	P2.5 /A13	I/O	P2 口的位 5 & 外部内存地址的位 13
	27	30	24	27	P2.6 /A14	I/O	P2 口的位 6 & 外部内存地址的位 14
	28	31	25	28	P2.7 /A15	I/O	P2 口的位 7 & 外部内存地址的位 15
	29	32	26	29	P4.4	I/O	P4 口的位 4

本说明书如有修改，恕不另行通知，请接洽您的销售代理商以获取最新版本信息。



28L	40L PDIP	44L PLCC	44L QFP	48L LQFP	Symbol	I/O	Description
	30	33	27	30	ALE/P4.5	I/O	地址鎖存使能& P4 口的位 5
		34	28	31	P4.1/CC1	I/O	P4 口的位 1 & 定時器 2 及抓捕/比較單元信道 1
	31	35	29	32	P4.6	I/O	P4 口的位 6
20	32	36	30	33	P0.7/AD7	I/O	P0 口的位 7 & 外部內存地址/數據的位 7
21	33	37	31	34	P0.6/AD6	I/O	P0 口的位 6 & 外部內存地址/數據的位 6
22	34	38	32	35	P0.5/AD5	I/O	P0 口的位 5 & 外部內存地址/數據的位 5
23	35	39	33	36	P0.4/AD4	I/O	P0 口的位 4 & 外部內存地址/數據的位 4
24	36	40	34	37	P0.3/AD3	I/O	P0 口的位 3 & 外部內存地址/數據的位 3
25	37	41	35	38	P0.2/AD2	I/O	P0 口的位 2 & 外部內存地址/數據的位 2
26	38	42	36	39	P0.1/AD1	I/O	P0 口的位 1 & 外部內存地址/數據的位 1
27	39	43	37	40	P0.0/AD0	I/O	P0 口的位 0 & 外部內存地址/數據的位 0
28	40	44	38	41	VDD	I	數字電源電壓

特殊功能寄存器(SFR)

特殊功能寄存器分布图如下所示：

Hex\Bin	X000	X001	X010	X011	X100	X101	X110	X111	Bin/Hex
F8	-	-	-	-	-	-	-	-	FF
F0	B	-	-	-	-	-	-	TAKEY	F7
E8	P4	-	-	-	-	-	-	-	EF
E0	ACC	ISPF AH	ISPF AL	ISPF D	ISPF C	-	LVC	SWRES	E7
D8	P5	PFC ON	P3M0	P3M1	P4M0	P4M1	P5M0	P5M1	DF
D0	PSW	CCEN2	P0M0	P0M1	P1M0	P1M1	P2M0	P2M1	D7
C8	T2CON	CCCON	CRCL	CRCH	TL2	TH2	-	-	CF
C0	IRCON	CCEN	CCL1	CCH1	CCL2	CCH2	CCL3	CCH3	C7
B8	IEN1	IP1	S0RELH	-	-	-	-	-	BF
B0	P3	-	-	-	-	-	WDTC	WDTK	B7
A8	IEN0	IP0	S0RELL	-	-	-	-	-	AF
A0	P2	RSTS	-	-	-	-	-	-	A7
98	S0CON	S0BUF	IEN2	-	-	-	-	-	9F
90	P1	AUX	AUX2	-	-	-	-	IRCON2	97
88	TCON	TMOD	TL0	TL1	TH0	TH1	-	IFCON	8F
80	P0	SP	DPL	DPH	DPL1	DPH1	-	PCON	87
Hex\Bin	X000	X001	X010	X011	X100	X101	X110	X111	Bin/Hex

注：特殊功能寄存器的重置值在 SM59R02G1 中有所描述。

Register	Location	Reset value	Description
P0	80H	FFH	Port 0
SP	81H	07H	Stack Pointer
DPL	82H	00H	Data Pointer 0 low byte
DPH	83H	00H	Data Pointer 0 high byte
DPL1	84H	00H	Data Pointer 1 low byte
DPH1	85H	00H	Data Pointer 1 high byte
PCON	87H	40H	Power Control
TCON	88H	00H	Timer/Counter Control
TMOD	89H	00H	Timer Mode Control
TL0	8AH	00H	Timer 0, low byte
TL1	8BH	00H	Timer 1, low byte
TH0	8CH	00H	Timer 0, high byte
TH1	8DH	00H	Timer 1, high byte
IFCON	8FH	00H	Interface control register
P1	90H	FFH	Port 1
AUX	91H	00H	Auxiliary register
AUX2	92H	00H	Auxiliary register 2

本说明书如有修改，恕不另行通知，请接洽您的销售代理商以获取最新版本信息。

Register	Location	Reset value	Description
IRCON2	97H	00h	Interrupt Request Control Register
S0CON	98h	00h	Serial Port 0, Control Register
S0BUF	99h	00h	Serial Port 0, Data Buffer
IEN2	9Ah	00h	Interrupt Enable Register 2
P2	A0h	FFh	Port 2
RSTS	A1h	00h	Reset Status Flag Register
IEN0	A8h	00h	Interrupt Enable Register 0
IP0	A9h	00h	Interrupt Priority Register 0
S0RELL	AAh	00h	Serial Port 0, Reload Register, low byte
P3	B0h	FFh	Port 3
WDTC	B6h	04h	Watchdog timer control register
WDTK	B7h	00h	Watchdog timer refresh key.
IEN1	B8h	00h	Interrupt Enable Register 1
IP1	B9h	00h	Interrupt Priority Register 1
S0RELH	BAh	00h	Serial Port 0, Reload Register, high byte
IRCON	C0h	00h	Interrupt Request Control Register
CCEN	C1h	00h	Compare/Capture Enable Register
CCL1	C2h	00h	Compare/Capture Register 1, low byte
CCH1	C3h	00h	Compare/Capture Register 1, high byte
CCL2	C4h	00h	Compare/Capture Register 2, low byte
CCH2	C5h	00h	Compare/Capture Register 2, high byte
CCL3	C6h	00h	Compare/Capture Register 3, low byte
CCH3	C7h	00h	Compare/Capture Register 3, high byte
T2CON	C8h	00h	Timer 2 Control
CCCON	C9h	00h	Compare/Capture Control
CRCL	CAh	00h	Compare/Reload/Capture Register, low byte
CRCH	CBh	00h	Compare/Reload/Capture Register, high byte
TL2	CCh	00h	Timer 2, low byte
TH2	CDh	00h	Timer 2, high byte
PSW	D0h	00h	Program Status Word
CCEN2	D1h	00h	Compare/Capture Enable 2 register
P0M0	D2h	00h	Port 0 output mode 0
P0M1	D3h	00h	Port 0 output mode 1
P1M0	D4h	00h	Port 1 output mode 0
P1M1	D5h	00h	Port 1 output mode 1
P2M0	D6h	00h	Port 2 output mode 0
P2M1	D7h	00h	Port 2 output mode 1
P5	D8h	FFh	Port 5
PFCON	D9h	00h	Peripheral Frequency control register
P3M0	DAh	00h	Port 3 output mode 0
P3M1	DBh	00h	Port 3 output mode 1
P4M0	DCh	00h	Port 4 output mode 0



Register	Location	Reset value	Description
P4M1	DDh	00h	Port 4 output mode 1
P5M0	DEh	00h	Port 5 output mode 0
P5M1	DFh	00h	Port 5 output mode 1
ACC	E0h	00h	Accumulator
ISPF AH	E1h	FFh	ISP Flash Address-High register
ISPF AL	E2h	FFh	ISP Flash Address-Low register
ISPF D	E3h	FFh	ISP Flash Data register
ISPF C	E4h	00h	ISP Flash control register
LVC	E6h	20h	Low voltage control register
SWRES	E7h	00h	Software Reset register
P4	E8h	FFh	Port 4
B	F0h	00h	B Register
TAKEY	F7H	00H	Time Access Key register

功能描述:

1. 总特征

SM59R02G1是一个8位的微处理器,它的所有功能以及特殊功能寄存器 (SFR) 的详细定义将在以下章节给出。

1.1. 嵌入式程序内存

可通过程序设计器或在线程序设计(ISP)将程序加载到8KB的嵌入式闪存体中。

1.2. IO 口

The SM59R02G1有6个I/O ports: Port 0, Port 1, Port 2, Port 3, Port 4及Port 5. Ports 0, 1, 2, 3是8位口, Port 4是7位口及Port 5是2位口(仅位4及位5). 四种型态: 准双向口(标准 8051输出口), 推挽, 开漏, 与仅为输入. 在章节5中有详细说明。

当用户使用内部晶振作为系统时钟时, XTAL2 与 XTAL1可在烧写或用ISP时定义成IO管脚P5.4、P5.5; 当用户使用外部振荡器由XTAL1输入作为系统时钟时, 只有XTAL2可定义成IO管脚P5.4.

所有的P0~P5口都可通过转化速率来降低EMI。另一种降低EMI的方式是在禁止ALE输出, 可通过特殊功能寄存器 (SFR) 来进行选择控制, 在高静电环境且在人体接触模式中, 其I/O口的ESD可达4KV, 可以保证 SM59R02G1在高静电环境下的质量。

1.3. 2T/1T 的选择

传统的52 系列单片机时钟周期是12T, 即12 个振荡器时钟为1 个机器周期. SM59R02G1为2T/1T的微控制器, 即机器周期为2个时钟周期或1个时钟周期。换句话说, 执行一条指令可是2个时钟或一个时钟。2T模式与1T模式的差异, 请参考以下图表1-1.



Fig. 1-1(a): 在2T模式内部指令信号波形

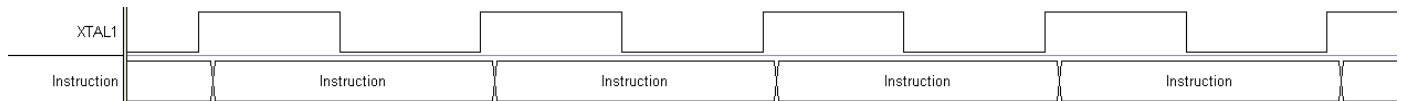


Fig. 1-1(b): 在1T模式内部指令信号波形

缺省值为2T模式, 在任何时候, 如IFCON [7] (地址为8Fh) 被置位时, 就可改变为1T的模式。在一个机器周期内, 并不是每条指令都能被执行的。所有指令的确切机器周期将在下一章中给出。

1.4. 复位

1.4.1. 硬件复位功能

SM59R02G1提供了内部复位电路.内部复位的时间长度可以通过程序设计器或ISP设置.

Internal Reset time
25ms (default)
200ms
100ms
50ms
16ms
8ms
4ms

1.4.2. 软件复位功能

SM59R02G1提供一种软件复位机制来实现整个芯片的复位.要实现软件复位,硬件把3个特殊值 55h,AAh 和5Ah按顺序写到TAKEY寄存器来使能软件复位寄存器(SWRES)可写.在软件复位寄存器获得可写权后,硬件可以对SWRES寄存器写入 FFh.硬件会用其他的硬件复位对复位讯号'OR'进行译码, 软件复位寄存器在软件复位过程的最后会进行自复位.

Mnemonic	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET
Software Reset function											
TAKEY	Time Access Key register	F7h	TAKEY [7:0]								00H
SWRES	Software Reset register	E7h	SWRES [7:0]								00H
RSTS	Reset Status Flag register	A1h	-	-	-	PDRF	WDTF	SWRF	LVRF	PORF	00H

1.4.3. Time Access Key register (TAKEY)

Mnemonic: TAKEY							Address: F7H	
7	6	5	4	3	2	1	0	Reset
TAKEY [7:0]								00H

软件复位寄存器(SWRES) 默认为只读; 软件把 3 个特殊值按顺序写到 TAKEY 寄存器来使能软件复位寄存器(SWRES)可写. 它们是

```
MOV TAKEY, #55h
MOV TAKEY, #AAh
MOV TAKEY, #5Ah
```

1.4.4. 软件复位寄存器 (SWRES)

Mnemonic: SWRES							Address: E7H	
7	6	5	4	3	2	1	0	Reset
SWRES [7:0]								00H

SWRES [7:0]: 软件复位寄存器.

SWRES [7:0] = FFh, MCU 产生软件复位.

SWRES [7:0] = 00h ~ FEh, MCU 不产生复位动作.

1.4.5. 复位状态旗标寄存器 (RSTS)

Mnemonic: RSTS							Address: A1H	
7	6	5	4	3	2	1	0	Reset
-	-	-	PDRF	WDTF	SWRF	LVRF	PORF	00H

PDRF: 复位脚复位旗标.

当 MCU 复位信号由复位脚产生时, PDRF 旗标将由硬件置高.此旗标需由软件清零.

WDTF: 看门狗定时器复位旗标.

当 MCU 复位信号由看门狗产生时, WDTF 旗标将由硬件置高.此旗标需由软件清零.

SWRF: 软件复位旗标.

当 MCU 复位信号由软件复位产生时, SWRF 旗标将由硬件置高.此旗标需由软件清零.

LVRF: 低电压复位旗标.

当 MCU 复位信号由低电压复位产生时, LVRF 旗标将由硬件置高.此旗标需由软件清零.

PORF: 上电复位旗标.

当 MCU 复位信号由上电复位产生时, PORF 旗标将由硬件置高.此旗标需由软件清零.

1.4.6. 软件复位范例

```
MOV TAKEY, #55h
MOV TAKEY, #AAh
MOV TAKEY, #5Ah ; enable SWRES write attribute
MOV SWRES, #FFh ; software reset MCU
```

1.5. 时钟源

默认时钟来自于内部22.1184MhzOSC时钟信号, 其时钟应用于初始化阶段, 其主要的工作是确定时钟源使用的正常运行。

内部时钟源来源于不同分频的内部OSC如表1-1所示, 时钟源可在程序设计器或ISP中设置。

Table 1-1: Selection of clock source

Clock source
external crystal
External OSC into Xtal1
22.1184 MHz from internal OSC(初始设定)
11.0592MHz from internal OSC
5.5296MHz from internal OSC
2.7648MHz from internal OSC
1.3824MHz from internal OSC

对于来源于内部OSC的频率, 于室温只有±2%误差.

2. 指令设置

所有SM59R02G1的指令都是兼容的二进制代码,且具有标准的8051一样的功能,以下表格列出了以SM59R02G1微控器为核心的指令集的周期的总结,这里的周期表示为机器周期。

Table 2-1: Arithmetic operations

Mnemonic	Description	Code	Bytes	Cycles
ADD A,Rn	Add register to accumulator	28-2F	1	1
ADD A,direct	Add direct byte to accumulator	25	2	2
ADD A,@Ri	Add indirect RAM to accumulator	26-27	1	2
ADD A,#data	Add immediate data to accumulator	24	2	2
ADDC A,Rn	Add register to accumulator with carry flag	38-3F	1	1
ADDC A,direct	Add direct byte to A with carry flag	35	2	2
ADDC A,@Ri	Add indirect RAM to A with carry flag	36-37	1	2
ADDC A,#data	Add immediate data to A with carry flag	34	2	2
SUBB A,Rn	Subtract register from A with borrow	98-9F	1	1
SUBB A,direct	Subtract direct byte from A with borrow	95	2	2
SUBB A,@Ri	Subtract indirect RAM from A with borrow	96-97	1	2
SUBB A,#data	Subtract immediate data from A with borrow	94	2	2
INC A	Increment accumulator	04	1	1
INC Rn	Increment register	08-0F	1	2
INC direct	Increment direct byte	05	2	3
INC @Ri	Increment indirect RAM	06-07	1	3
INC DPTR	Increment data pointer	A3	1	1
DEC A	Decrement accumulator	14	1	1
DEC Rn	Decrement register	18-1F	1	2
DEC direct	Decrement direct byte	15	2	3
DEC @Ri	Decrement indirect RAM	16-17	1	3
MUL AB	Multiply A and B	A4	1	5
DIV	Divide A by B	84	1	5
DA A	Decimal adjust accumulator	D4	1	1

Table 2-2: Logic operations

Mnemonic	Description	Code	Bytes	Cycles
ANL A,Rn	AND register to accumulator	58-5F	1	1
ANL A,direct	AND direct byte to accumulator	55	2	2
ANL A,@Ri	AND indirect RAM to accumulator	56-57	1	2
ANL A,#data	AND immediate data to accumulator	54	2	2
ANL direct,A	AND accumulator to direct byte	52	2	3
ANL direct,#data	AND immediate data to direct byte	53	3	4
ORL A,Rn	OR register to accumulator	48-4F	1	1
ORL A,direct	OR direct byte to accumulator	45	2	2
ORL A,@Ri	OR indirect RAM to accumulator	46-47	1	2
ORL A,#data	OR immediate data to accumulator	44	2	2
ORL direct,A	OR accumulator to direct byte	42	2	3
ORL direct,#data	OR immediate data to direct byte	43	3	4
XRL A,Rn	Exclusive OR register to accumulator	68-6F	1	1
XRL A,direct	Exclusive OR direct byte to accumulator	65	2	2
XRL A,@Ri	Exclusive OR indirect RAM to accumulator	66-67	1	2
XRL A,#data	Exclusive OR immediate data to accumulator	64	2	2
XRL direct,A	Exclusive OR accumulator to direct byte	62	2	3
XRL direct,#data	Exclusive OR immediate data to direct byte	63	3	4
CLR A	Clear accumulator	E4	1	1
CPL A	Complement accumulator	F4	1	1
RL A	Rotate accumulator left	23	1	1
RLC A	Rotate accumulator left through carry	33	1	1
RR A	Rotate accumulator right	03	1	1
RRC A	Rotate accumulator right through carry	13	1	1
SWAP A	Swap nibbles within the accumulator	C4	1	1

Table 2-3: Data transfer

Mnemonic	Description	Code	Bytes	Cycles
MOV A,Rn	Move register to accumulator	E8-EF	1	1
MOV A,direct	Move direct byte to accumulator	E5	2	2
MOV A,@Ri	Move indirect RAM to accumulator	E6-E7	1	2
MOV A,#data	Move immediate data to accumulator	74	2	2
MOV Rn,A	Move accumulator to register	F8-FF	1	2
MOV Rn,direct	Move direct byte to register	A8-AF	2	4
MOV Rn,#data	Move immediate data to register	78-7F	2	2
MOV direct,A	Move accumulator to direct byte	F5	2	3
MOV direct,Rn	Move register to direct byte	88-8F	2	3
MOV direct1,direct2	Move direct byte to direct byte	85	3	4
MOV direct,@Ri	Move indirect RAM to direct byte	86-87	2	4
MOV direct,#data	Move immediate data to direct byte	75	3	3
MOV @Ri,A	Move accumulator to indirect RAM	F6-F7	1	3
MOV @Ri,direct	Move direct byte to indirect RAM	A6-A7	2	5
MOV @Ri,#data	Move immediate data to indirect RAM	76-77	2	3
MOV DPTR,#data16	Load data pointer with a 16-bit constant	90	3	3
MOVC A,@A+DPTR	Move code byte relative to DPTR to accumulator	93	1	3
MOVC A,@A+PC	Move code byte relative to PC to accumulator	83	1	3
MOVX A,@Ri	Move external RAM (8-bit addr.) to A	E2-E3	1	3
MOVX A,@DPTR	Move external RAM (16-bit addr.) to A	E0	1	3
MOVX @Ri,A	Move A to external RAM (8-bit addr.)	F2-F3	1	4
MOVX @DPTR,A	Move A to external RAM (16-bit addr.)	F0	1	4
PUSH direct	Push direct byte onto stack	C0	2	4
POP direct	Pop direct byte from stack	D0	2	3
XCH A,Rn	Exchange register with accumulator	C8-CF	1	2
XCH A,direct	Exchange direct byte with accumulator	C5	2	3
XCH A,@Ri	Exchange indirect RAM with accumulator	C6-C7	1	3
XCHD A,@Ri	Exchange low-order nibble indir. RAM with A	D6-D7	1	3



Table 2-4: Program branches

Mnemonic	Description	Code	Bytes	Cycles
ACALL addr11	Absolute subroutine call	xxx11	2	6
LCALL addr16	Long subroutine call	12	3	6
RET	from subroutine	22	1	4
RETI	from interrupt	32	1	4
AJMP addr11	Absolute jump	xxx01	2	3
LJMP addr16	Long iump	02	3	4
SJMP rel	Short jump (relative addr.)	80	2	3
JMP @A+DPTR	Jump indirect relative to the DPTR	73	1	2
JZ rel	Jump if accumulator is zero	60	2	3
JNZ rel	Jump if accumulator is not zero	70	2	3
JC rel	Jump if carry flag is set	40	2	3
JNC	Jump if carry flag is not set	50	2	3
JB bit,rel	Jump if direct bit is set	20	3	4
JNB bit,rel	Jump if direct bit is not set	30	3	4
JBC bit,direct rel	Jump if direct bit is set and clear bit	10	3	4
CJNE A,direct rel	Compare direct byte to A and jump if not equal	B5	3	4
CJNE A,#data rel	Compare immediate to A and jump if not equal	B4	3	4
CJNE Rn,#data rel	Compare immed. to reg. and jump if not equal	B8-BF	3	4
CJNE @Ri,#data rel	Compare immed. to ind. and jump if not equal	B6-B7	3	4
DJNZ Rn,rel	Decrement register and jump if not zero	D8-DF	2	3
DJNZ direct,rel	Decrement direct byte and jump if not zero	D5	3	4
NOP	No operation	00	1	1

Table 2-5: Boolean manipulation

Mnemonic	Description	Code	Bytes	Cycles
CLR C	Clear carry flag	C3	1	1
CLR bit	Clear direct bit	C2	2	3
SETB C	Set carry flag	D3	1	1
SETB bit	Set direct bit	D2	2	3
CPL C	Complement carry flag	B3	1	1
CPL bit	Complement direct bit	B2	2	3
ANL C,bit	AND direct bit to carry flag	82	2	2
ANL C,/bit	AND complement of direct bit to carry	B0	2	2
ORL C,bit	OR direct bit to carry flag	72	2	2
ORL C,/bit	OR complement of direct bit to carry	A0	2	2
MOV C,bit	Move direct bit to carry flag	A2	2	2
MOV bit,C	Move carry flag to direct bit	92	2	3

3. 内存结构

SM59R02G1内存结构和通用的8051结构相同，也在两个存储空间内操作运算对象,它们是:作为程序内存的8K的嵌入式Flash.

3.1. 程序内存

SM59R02G1有8K的嵌入式flash,可做为通用的程序存储或EEPROM.其他还包括最大为1K的特定ISP服务程序存储空间.这8K的地址从0000到\$1FFF.ISP服务程序的地址从\$1C00到\$1FFF.ISP服务程序空间可以被分割N块256字节(N=0至4).当N=0时,意味着没有ISP复位程序空间可用.全部的8K字节空间都被用来做程序存储.当N=1时,意味着地址\$1F00到\$1FFF保留为ISP服务程序空间.当N=2意味着内存地址\$1E00至\$1FFF保留为ISP服务程序空间等等...数值N可以通过程序设计器.它可象EEPROM那样用来记录任何数据.EEPROM的应用功能在第13章节的内部ISP部分有描述.

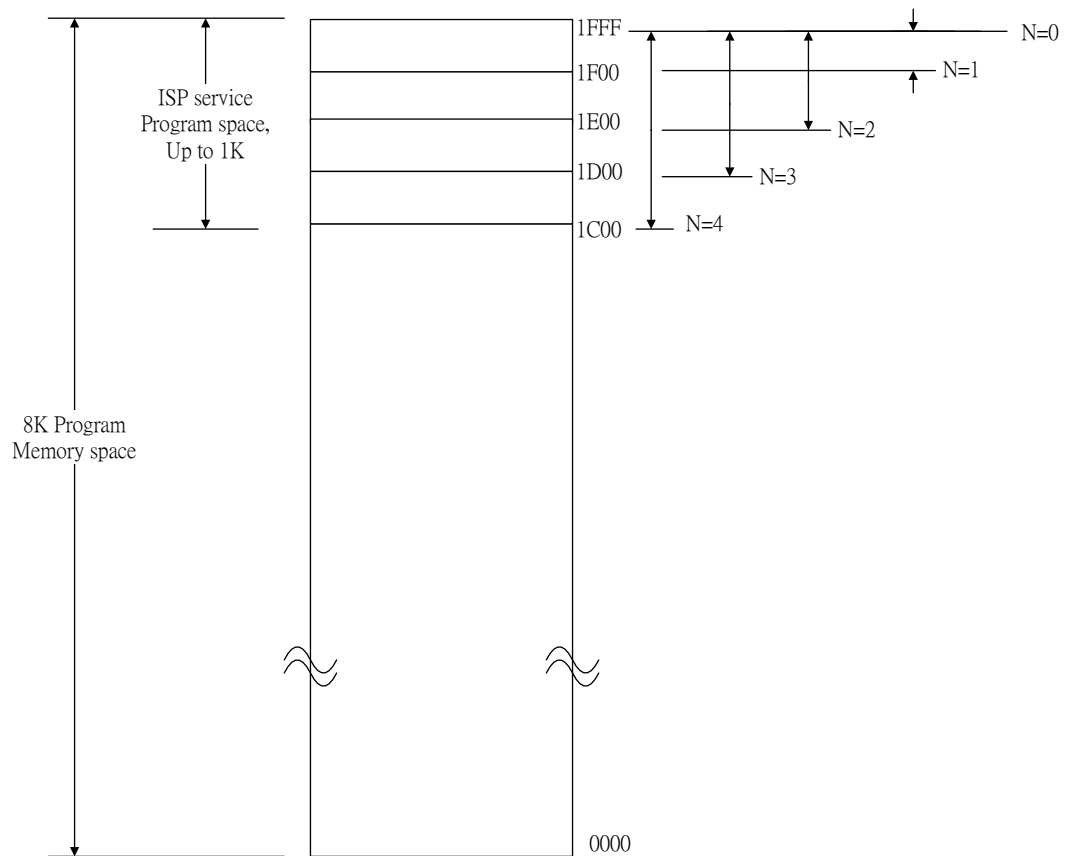


Fig. 3-1: SM59R02G1 programmable Flash

3.2. 数据存储器

SM59R02G1具有256 Bytes的片上SRAM，其中256 Bytes和通用的8052内部存储器结构一样。

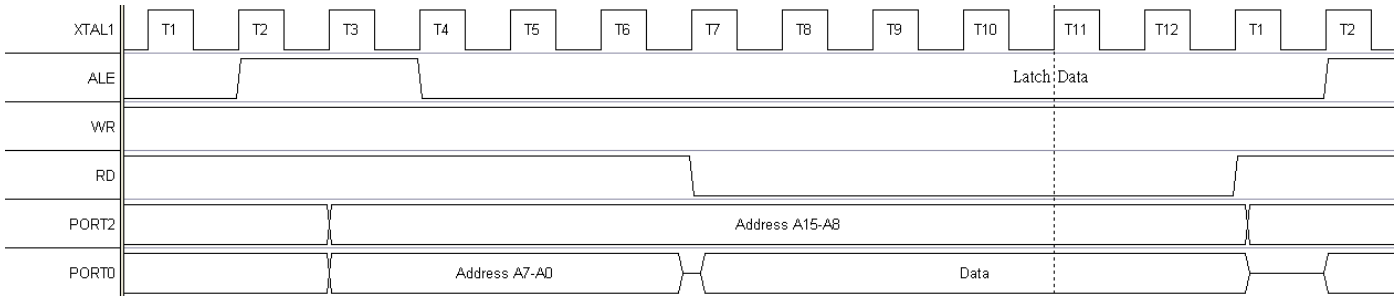


Fig 3-2 (a): External memory access as read

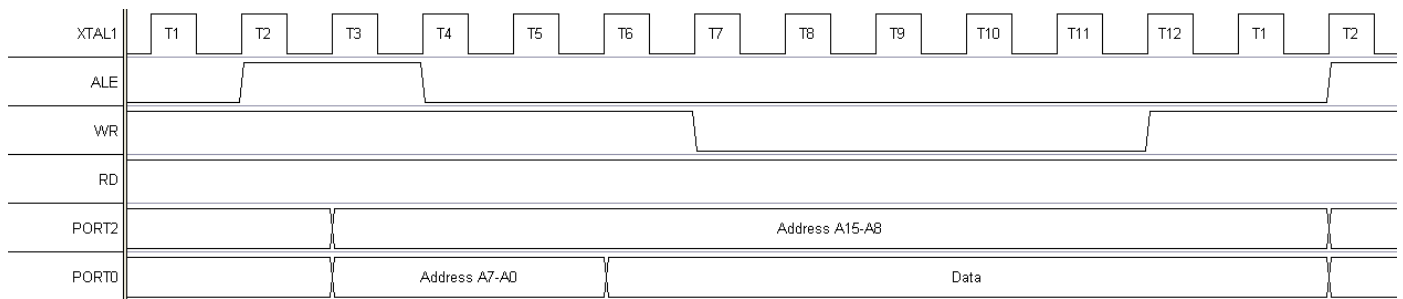


Fig 3-2 (b): External memory access as write

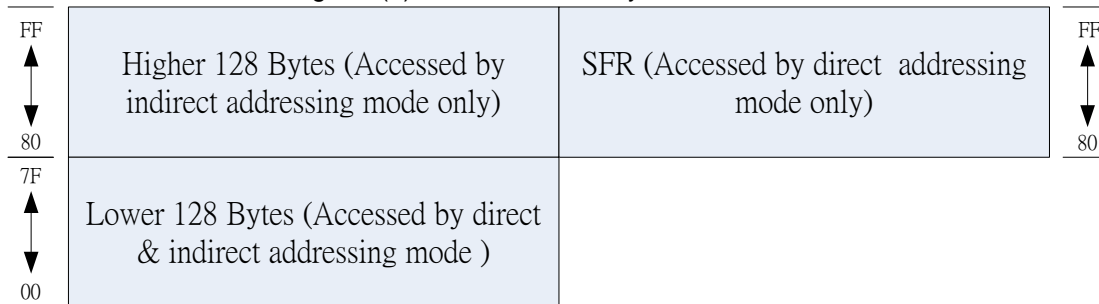


Fig. 3-3: RAM architecture

3.2.1. 数据存储器-低 128 字节(00h to 7Fh)

数据存储器从 00h 到 FFh 的地址和在 8052 中的定义是一样的。
 0h 到 7Fh 的地址可通过直接或者间接寻址方式访问。
 00h到1Fh是寄存器的空间，
 20h到2Fh是位寻址空间，
 30h 到 7Fh 是通用的数据存储器区。

3.2.2. 数据存储器-高 128 字节 (80h to FFh)

80h 到 FFh 的地址仅仅能从间接寻址的方式访问,它是一个资料区。

4. CPU 结构

SM59R02G1引擎由以下四部分组成：

- 控制单元
- 算法-逻辑单元
- 内存控制单元
- RAM和SFR控制单元

SM59R02G1结构允许接受来自程序内存的指令并与RAM或SFR做数据处理，以下各段详细叙述了主要功能寄存器。

Mnemonic	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET	
8051 Core												
ACC	Accumulator	E0h	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0	00H	
B	B register	F0h	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0	00H	
PSW	Program status word	D0h	CY	AC	F0	RS[1:0]		OV	PSW.1	P	00H	
SP	Stack Pointer	81h	SP[7:0]									07H
DPL	Data pointer low 0	82h	DPL[7:0]									00H
DPH	Data pointer high 0	83h	DPH[7:0]									00H
DPL1	Data pointer low 1	84h	DPL1[7:0]									00H
DPH1	Data pointer high 1	85h	DPH1[7:0]									00H
AUX	Auxiliary register	91h	BRGS	-	-	P1UR	-	-	-	DPS	00H	
IFCON	Interface control register	8Fh	ITS	CDPR	-	-	ALEC[1:0]		-	ISPE	00H	

4.1. 累加器

ACC 是一个累加器，大部分单操作指令的一个操作数取自累加器。

Mnemonic: ACC								Address: E0h	
7	6	5	4	3	2	1	0	Reset	
ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0	00h	

ACC[7:0]: The A (or ACC) register is the standard 8052 accumulator.

4.2. B 寄存器

B寄存器被用于乘法或除法指令，也可作为一般寄存器以存储临时数据。

Mnemonic: B								Address: F0h	
7	6	5	4	3	2	1	0	Reset	
B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0	00h	

B[7:0]: The B register is the standard 8052 register that serves as a second accumulator.

4.3. 程序状态字

Mnemonic: PSW							Address: D0h	
7	6	5	4	3	2	1	0	Reset
CY	AC	F0	RS [1:0]		OV	F1	P	00h

CY: 进位标志位.

AC: 为 BCD 辅助进位标志位

F0: 用户设置标志位 0

RS[1:0]: 寄存器组选择位,用来选择工作寄存器区域.

RS[1:0]	Bank Selected	Location
00	Bank 0	00h – 07h
01	Bank 1	08h – 0Fh
10	Bank 2	10h – 17h
11	Bank 3	18h – 1Fh

OV: 溢出标志位

F1: 用户设置标志位 1

P: 奇偶校验位, 受硬件影响, 显示累加器中的奇偶的 1 位, 即同位

4.4. 堆栈指针

堆栈指针是一个1字节的寄存器,在复位后初始化为07h.此寄存器在执行PUSH和CALL指令之前增值,使得堆栈指针在08h开始执行

Mnemonic: SP							Address: 81h	
7	6	5	4	3	2	1	0	Reset
SP [7:0]								07h

SP[7:0]: 堆栈指针储存了暂时寄存器的地址,该地址是堆栈指针的起始位置.换言之,它总是指向堆栈指针的顶端。

4.5. 数据指针

数据指针为2字节.低位为DPL.高位为DPH.它可以作为一个2字节的寄存器(MOV DPTR,#data16)来使用,或者作为两个寄存器(例如,MOV DPL,#data8),它通常被用作是运行外部程序或者是数据空间(如,MOVC A,@ A+DPTR 或者各自的MOV A, @ DPTR).

Mnemonic: DPL							Address: 82h	
7	6	5	4	3	2	1	0	Reset
DPL [7:0]								00h

DPL[7:0]: Data pointer Low 0

Mnemonic: DPH							Address: 83h	
7	6	5	4	3	2	1	0	Reset
DPH [7:0]								00h

DPH [7:0]: Data pointer High 0

4.6. 数据指针 1

双数据指针加速了块状数据的运行速度.标准的DPTR 是一个16位的寄存器,是用来寻址外部空间或者外部内存. 在SM59R02G1中, 标准的数据指针称为DPTR,第二个数据指针称为DPTR1.选择位用来选择使用的数据指针.数据指针的选择位位于AUX寄存器的LSB(DPS).

用户通过触发AUX寄存器中的LSB位进行切换. 所有有关的DPTR指令都将为当前选用的DPTR所操作。

Mnemonic: DPL1							Address: 84h	
7	6	5	4	3	2	1	0	Reset
DPL1 [7:0]								00h

DPL1[7:0]: Data pointer Low 1

Mnemonic: DPH1							Address: 85h	
7	6	5	4	3	2	1	0	Reset
DPH1 [7:0]								00h

DPH1[7:0]: Data pointer High 1

Mnemonic: AUX							Address: 91h	
7	6	5	4	3	2	1	0	Reset
BRGS	-	-	P1UR	-	-	-	DPS	00h

DPS: 数据指针选择位.

DPS = 1 选择数据指针 1.

4.7. 接口控制寄存器

Mnemonic: IFCON							Address: 8Fh	
7	6	5	4	3	2	1	0	Reset
ITS	CDPR	-	-	ALEC[1:0]		EMEN	ISPE	00h

ITS: 指令执行机械周期选择位. (默认为 2T)

ITS = 0,指令执行机械周期为 2T.

ITS = 1,指令执行机械周期为 1T.

CDPR: 程序代码已加密指示位(仅读)

ALEC[1:0]: ALE 输出控制寄存器.

ALEC[1:0]	ALE Output
00	永远输出
01	不输出
10	仅于读写外部内存时输出
11	保留

ISPE: ISP 功能使能位

ISPE = 1, 允许使用 ISP 功能

ISPE = 0, 禁止使用 ISP 功能

5. GPIO

SM59R02G1有6个I/O口: Port 0, Port 1, Port 2, Port 3, Port 4及Port 5. Ports 0, 1, 2, 3, 4 是8位口, Port 4是7位口及Port 5是2位口(仅位4及位5). 它们是: 准双向口 (标准的8051端口输出),推挽电路,开漏, 与只输入. 两种寄存器的配置为每个端口的每个位选择输出方式.SM59R02G1的所有端口可以通过软件配置四种型号的一种.如下表显示:

Mnemonic	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET	
I/O port function register												
P0M0	Port 0 output mode 0	D2h	P0M0 [7:0]									00H
P0M1	Port 0 output mode 1	D3h	P0M1 [7:0]									00H
P1M0	Port 1 output mode 0	D4h	P1M0 [7:0]									00H
P1M1	Port 1 output mode 1	D5h	P1M1 [7:0]									00H
P2M0	Port 2 output mode 0	D6h	P2M0 [7:0]									00H
P2M1	Port 2 output mode 1	D7h	P2M1 [7:0]									00H
P3M0	Port 3 output mode 0	DAh	P3M0 [7:0]									00H
P3M1	Port 3 output mode 1	DBh	P3M1 [7:0]									00H
P4M0	Port 4 output mode 0	DCh	-	P4M0 [6:0]								00H
P4M1	Port 4 output mode 1	DDh	-	P4M1 [6:0]								00H
P5M0	Port 5 output mode 0	DEh	-	-	P5M0 [5:4]	-	-	-	-	-	00H	
P5M1	Port 5 output mode 1	DFh	-	-	P5M1 [5:4]	-	-	-	-	-	00H	

PxM1.y	PxM0.y	Port output mode
0	0	Quasi-bidirectional (standard 8051 port outputs) (pull-up)
0	1	Push-pull
1	0	Input only (high-impedance)
1	1	Open drain

PSEN、ALE、EA及RESET可在烧写或用ISP时定义在P4.4、P4.5、P4.6及P4.7.

当用户使用内部 OSC作为系统时钟, XTAL2及XTAL1可在烧写或用ISP时定义在P5.4、P5.5; 当用户使用外部振荡器由XTAL1输入作为系统时钟时, 只有XTAL2可定义成IO管脚P5.4.

一般的应用,每个管脚都可独立的置高或置低.如下表显示:

Mnemonic	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET
Ports											
Port 5	Port 5	D8h	-	-	P5.5	P5.4	-	-	-	-	FFh
Port 4	Port 4	E8h	-	P4.6	P4.5	P4.4	P4.3	P4.2	P4.1	P4.0	FFh
Port 3	Port 3	B0h	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0	FFh
Port 2	Port 2	A0h	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0	FFh
Port 1	Port 1	90h	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0	FFh
Port 0	Port 0	80h	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0	FFh

Mnemonic: P0

Address: 80h

7	6	5	4	3	2	1	0	Reset
P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0	FFh

P0.7~ 0: Port0 [7] ~ Port0 [0]



Mnemonic: P1							Address: 90h	
7	6	5	4	3	2	1	0	Reset
P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0	FFh

P1.7~ 0: Port1 [7] ~ Port1 [0]

Mnemonic: P2							Address: A0h	
7	6	5	4	3	2	1	0	Reset
P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0	FFh

P2.7~ 0: Port2 [7] ~ Port2 [0]

Mnemonic: P3							Address: B0h	
7	6	5	4	3	2	1	0	Reset
P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0	FFh

P3.7~ 0: Port3 [7] ~ Port3 [0]

Mnemonic: P4							Address: E8h	
7	6	5	4	3	2	1	0	Reset
-	P4.6	P4.5	P4.4	P4.3	P4.2	P4.1	P4.0	FFh

P4.6~ 0: Port4 [6] ~ Port4 [0]

Mnemonic: P5							Address: D8h	
7	6	5	4	3	2	1	0	Reset
-	-	P5.5	P5.4	-	-	-	-	FFh

P5.5~ 4: Port5 [5] ~ Port5 [4]

6. 定时器0 和定时器1

SM59R02G1有三个16bit的定时/计数寄存器: 定时器0, 定时器1和定时器2,所有这都可以被设置为定时或计数操作。

在计时的模式中, 定时器0和定时器1寄存器的递增频率, 可由寄存器PFCON中选择为与振荡器频率相同或为振荡器频率的1/12或为振荡器频率的1/96。

在计数的模式中, 当检测到相应的输入脚T0/T1有下降沿产生时, 寄存器便得到递增,由于它需要2个机器周期来识别由1到0的跳变, 其最大输入的计数频率为振荡器频率的1/2, 从而使得这里没有限制的占空比, 以确定适当的识别为0或1的状态, 因此, 一个输入信号至少要稳定在1个机器周期。

定时器0和定时器1都有四种操作模式选择, 在选择操作模式中, 两个特殊功能寄存器 (TMOD 与 TCON) 被应用其中。

Mnemonic	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET
Timer 0 and 1											
TL0	Timer 0, low byte	8Ah	TL0[7:0]								00h
TH0	Timer 0, high byte	8Ch	TH0[7:0]								00h
TL1	Timer 1, low byte	8Bh	TL1[7:0]								00h
TH1	Timer 1, high byte	8Dh	TH1[7:0]								00h
TMOD	Timer Mode Control	89h	GATE	C/T	M1	M0	GATE	C/T	M1	M0	00h
TCON	Timer/Counter Control	88h	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00h
PFCON	Peripheral Frequency control register	D9H	-	-	S0RELPS[1:0]		T1PS[1:0]		T0PS[1:0]		00H

6.1. 定时器/计数器模式控制寄存器(TM0D)

Mnemonic: TM0D							Address: 89h		
7	6	5	4	3	2	1	0	Reset	
GATE	C/T	M1	M0	GATE	C/T	M1	M0	00h	
Timer 1				Timer 0					

GATE: 该位被置位时为门控时, 仅当'INT0 或者INT1'脚为高时, 且'TRx'控制位被置位 (参考TCON 寄存器) 时使能, 计数器在每个T0 或T1 输入脚处于下减沿触发时得到加强。

C/T: 门控定时器或计数器选择器。该位被置位时用作计数器功能, 该位被清零时用作定时器功能。

M[1:0]: S 定时/计数器 0 或定时/计数器 1 的选择模式

M1	M0	Mode	Function
0	0	Mode0	13位计数器/定时器, 包含TL0/TL1寄存器的低5位及TH0/TL1寄存器的全部8位, 其TL0/TL1寄存器的高3位可设置为0.
0	1	Mode1	16位计数器/定时器.
1	0	Mode2	8位自动装载的计数器/定时器, 自动装载的值保留在TH0 和TH1.同时TL0 或者TL1 在每个机器周期内都会递增. 当溢出时, 将THx 存放的值装入 TLx.

1	1	Mode3	如定时器1 的 M1 和M2 位被设置为1, 定时器1 停止计数。如定时器0 的M1 和M0 位被设置为 1, 定时器0 作为两个独立的8 位定时器/计数器.
---	---	-------	---

6.2. 定时/计数控制寄存器(TCON)

Mnemonic: TCON							Address: 88h	
7	6	5	4	3	2	1	0	Reset
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00h

- TF1: 定时器1 溢出标志。定时器/计数器溢出时由硬件置位。中断执行时硬件清零, 或由软件清零。
- TR1: 定时器 1 运行控制位。如置位/清零, 关闭定时器/计数器 1.
- TF0: 定时器0 溢出标志。定时器/计数器溢出时由硬件置位。中断执行时硬件自动清零, 或由软件清零
- TR0: 定时器 0 运行控制位。如置位/清零, 关闭定时器/计数器 0.
- IE1: 中断1 边沿标志。当检测到外部中断1 边沿/低电平时由硬件置位该标志。中断处理时由硬件清零, 或通过软件清零.
- IT1: 中断1 类型控制位, 通过软件置位/清零该位来选择外部中断1 以下降沿/低电平方式触发
- IE0: 中断0 边沿标志。当检测到外部中断0 边沿/低电平时由硬件置位该标志。中断处理时由硬件清零, 或通过软件清零.
- IT0: 中断0 类型控制位。通过软件置位/清零该位来选择外部中断0 以下降沿/低电平方式触发.

6.3. 外设频率控制寄存器(PFCON)

Mnemonic: PFCON						Address: D9h		
7	6	5	4	3	2	1	0	Reset
-	-	SORELPS[1:0]		T1PS[1:0]		TOPS[1:0]		00h

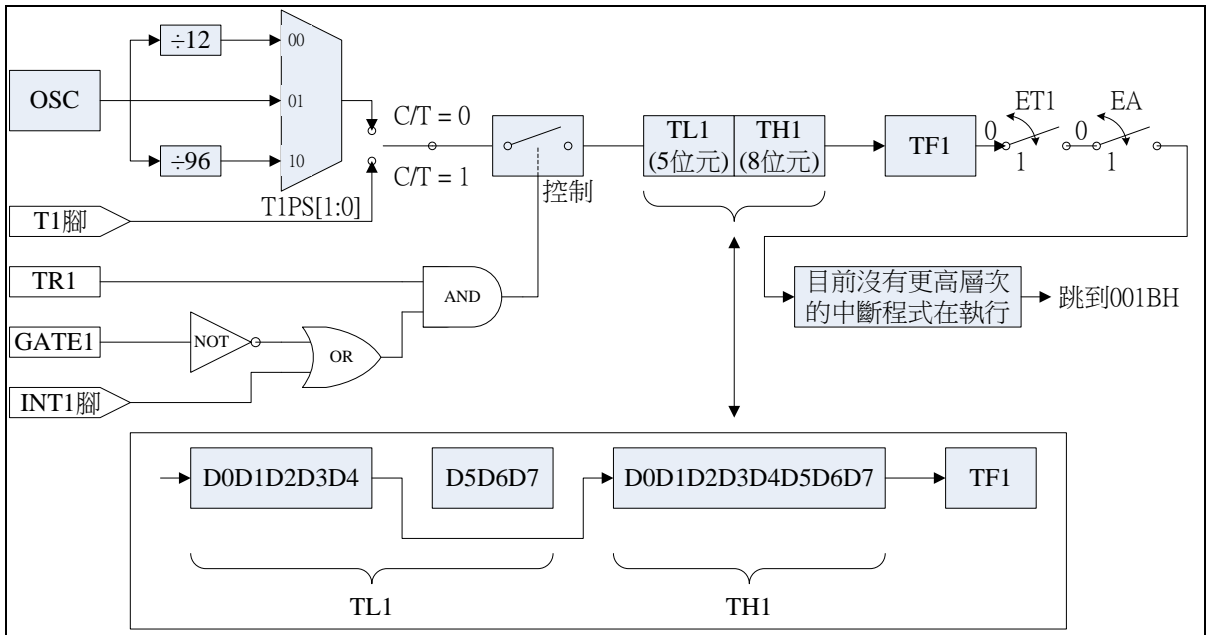
TOPS[1:0]: 定时器 0 预分频选择

TOPS[1:0]	预分频
00	频率/12
01	频率
10	频率/96
11	保留

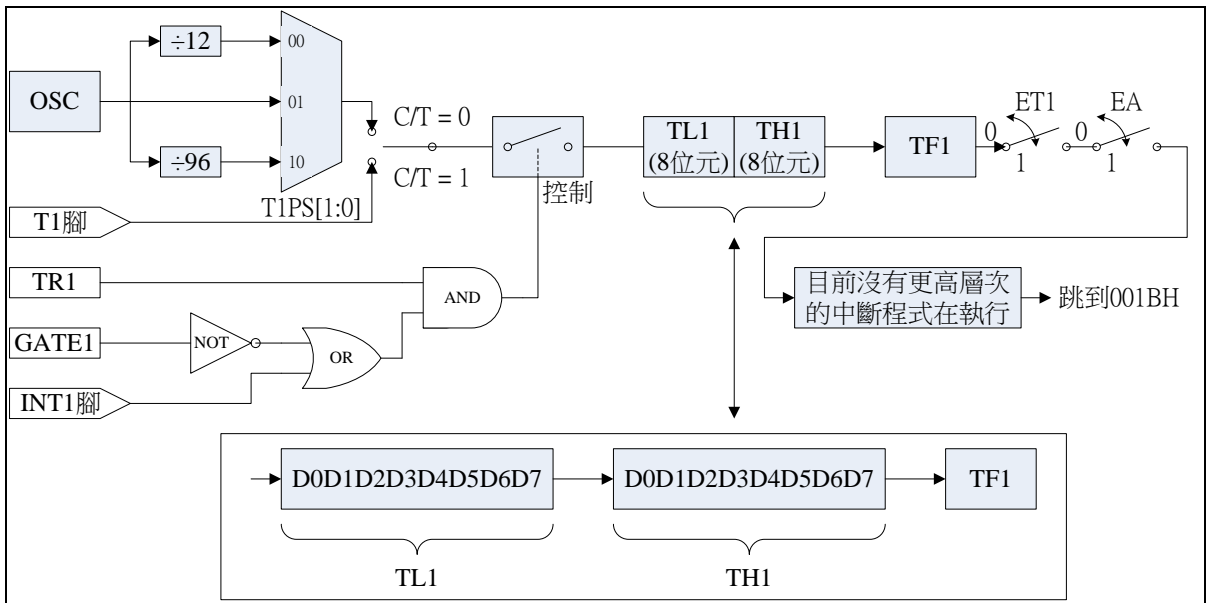
T1PS[1:0]: 定时器 1 预分频选择

T1PS[1:0]	预分频
00	频率/12
01	频率
10	频率/96
11	保留

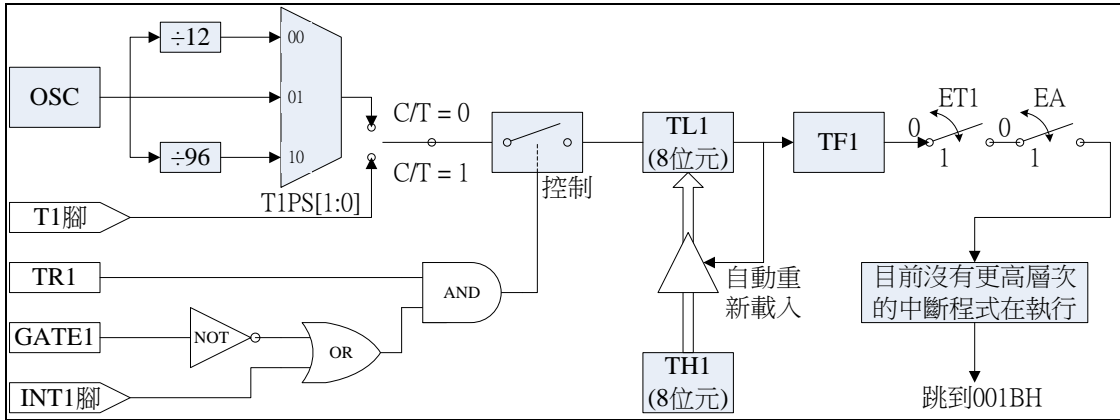
6.4. 模式 0 (13 位计数器/定时器)



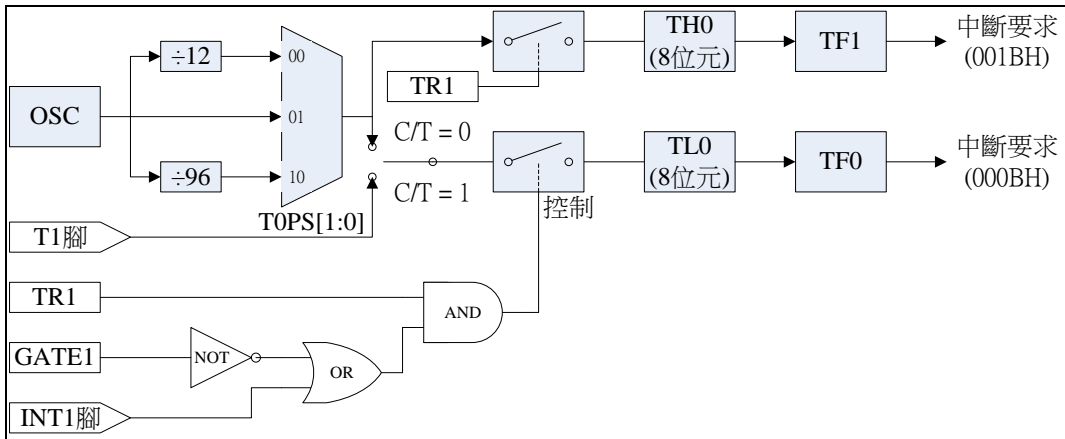
6.5. 模式 1 (16 位计数器/定时器)



6.6. 模式 2 (8 位自动装载计数器/定时器)



6.7. 模式 3 (定时器 0 作为两个独立的 8 位定时器/计数器)



7. 定时器2 以及捕捉/比较单元

定时器2不仅仅是一个16位的定时器，也是一个带有4个通道比较,捕获及重载功能，这是非常相似在其他一些微控制器的可程序设计计数器数组（PCA），除脉冲宽度调制（PWM）。

Mnemonic	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET
Timer 2 and Capture Compare Unit											
AUX2	Auxiliary register2	92h	-	-	-	-	-	-	P42CC[1:0]		00h
T2CON	Timer 2 control	C8h	T2PS[2:0]			T2R[1:0]		-	T2I[1:0]		00h
CCCON	Compare/Capture Control	C9h	CCI3	CCI2	CCI1	CCI0	CCF3	CCF2	CCF1	CCF0	00H
CCEN	Compare/Capture Enable register	C1h	-	COCAM1[2:0]			-	COCAM0[2:0]			00h
CCEN2	Compare/Capture Enable 2 register	D1h	-	COCAM3[2:0]			-	COCAM2[2:0]			00h
TL2	Timer 2, low byte	CCh	TL2[7:0]								00h
TH2	Timer 2, high byte	CDh	TH2[7:0]								00h
CRCL	Compare/Reload/Capture register, low byte	CAh	CRCL[7:0]								00h
CRCH	Compare/Reload/Capture register, high byte	CBh	CRCH[7:0]								00h
CCL1	Compare/Capture register 1, low byte	C2h	CCL1[7:0]								00h
CCH1	Compare/Capture register 1, high byte	C3h	CCH1[7:0]								00h
CCL2	Compare/Capture register 2, low byte	C4h	CCL2[7:0]								00h
CCH2	Compare/Capture register 2, high byte	C5h	CCH2[7:0]								00h
CCL3	Compare/Capture register 3, low byte	C6h	CCL3[7:0]								00h
CCH3	Compare/Capture register 3, high byte	C7h	CCH3[7:0]								00h

Mnemonic: AUX2							Address: 92h	
7	6	5	4	3	2	1	0	Reset
-	-	-	-	-	-	P42CC[1:0]		00H

- P42CC[1:0] 00: 捕捉/比较功能使用 Port1.
 01: 捕捉/比较功能使用 Port2.
 10: 捕捉/比较功能使用 Port4.
 11: 保留



Mnemonic: T2CON				Address: C8h				
7	6	5	4	3	2	1	0	Reset
T2PS[2:0]			T2R[1:0]		-	T2I[1:0]		00H

T2PS[2:0]: 分频器选择位:

- T2PS = 000 –定时器 2 的时钟为振荡频率.
- T2PS = 001 –定时器 2 的时钟为振荡频率的 1/2.
- T2PS = 010 –定时器 2 的时钟为振荡频率的 1/4.
- T2PS = 011 –定时器 2 的时钟为振荡频率的 1/6.
- T2PS = 100 –定时器 2 的时钟为振荡频率的 1/8.
- T2PS = 101 –定时器 2 的时钟为振荡频率的 1/12.
- T2PS = 110 –定时器 2 的时钟为振荡频率的 1/24.

T2R[1:0]: 定时器 2 重载模式选择位

- T2R[1:0] = 0X –重载无效
- T2R[1:0] = 10 –模式 0:自动重载
- T2R[1:0] = 11 –模式 1:依 T2EX 脚下降缘重载

T2I[1:0]: 定时器 2 输入选择位

- T2I[1:0] = 00 –定时器 2 计数停止
- T2I[1:0] = 01 –输入频率依 T2PS[2:0]分频器选择
- T2I[1:0] = 10 –定时器 2 在 T2 脚的外部信号递增
- T2I[1:0] = 11 –门控定时器 2 可为内部时钟输入

Mnemonic: CCON				Address: C9h				
7	6	5	4	3	2	1	0	Reset
CCI3	CCI2	CCI1	CCI0	CCF3	CCF2	CCF1	CCF0	00H

CCI3: 捕捉/比较信道 3 中断功能控制位.

“1” 中断功能使能.

CCI2: 捕捉/比较信道 2 中断功能控制位.

“1” 中断功能使能.

CCI1: 捕捉/比较信道 1 中断功能控制位.

“1” 中断功能使能.

CCI0: 捕捉/比较信道 0 中断功能控制位.

“1” 中断功能使能.

CCF3: 捕捉/比较通道 3 中断旗标位.可由软件清零.

CCF2: 捕捉/比较通道 2 中断旗标位.可由软件清零.

CCF1: 捕捉/比较通道 1 中断旗标位.可由软件清零.

CCF0: 捕捉/比较通道 0 中断旗标位.可由软件清零.

捕捉/比较中断与定时器 2 中断共享同一个中断向量.

Mnemonic: CCEN				Address: C1h				
7	6	5	4	3	2	1	0	Reset
-	COCAM1[2:0]			-	COCAM0[2:0]		00H	

COCAM1[2:0] 000: 禁止比较/捕获功能

001: 比较功能启动但无输出

010: 比较功能模式 0

011: 比较功能模式 1

100: 捕获在 CC1 脚的上升沿

101: 捕获在 CC1 脚的下降沿

110: 捕获在 CC1 脚的上升沿及下降沿

111: 在寄存器 CC1 中捕获写入操作
COCAM0[2:0] 000: 禁止比较/捕获功能
001: 比较功能启动但无输出
010: 比较功能模式 0
011: 比较功能模式 1
100: 捕获在 CC0 脚的上升沿
101: 捕获在 CC0 脚的下降沿
110: 捕获在 CC0 脚的上升沿及下降沿
111: 在寄存器 CC0 中捕获写入操作

Mnemonic: CCEN2				Address: D1h			
7	6	5	4	3	2	1	0
-	COCAM3[2:0]			-	COCAM2[2:0]		Reset
							00H

COCAM3[2:0] 000: 禁止比较/捕获功能
001: 比较功能启动但无输出
010: 比较功能模式 0
011: 比较功能模式 1
100: 捕获在 CC3 脚的上升沿
101: 捕获在 CC3 脚的下降沿
110: 捕获在 CC3 脚的上升沿及下降沿
111: 在寄存器 CC3 中捕获写入操作
COCAM2[2:0] 000: 禁止比较/捕获功能
001: 比较功能启动但无输出
010: 比较功能模式 0
011: 比较功能模式 1
100: 捕获在 CC2 脚的上升沿
101: 捕获在 CC2 脚的下降沿
110: 捕获在 CC2 脚的上升沿及下降沿
111: 在寄存器 CC2 中捕获写入操作

7.1. 定时器 2 功能

定时器2既可作为定时器，又可作为计数器，或解释为门控定时器(如下解释).

7.1.1. 定时器模式

在此模式中，定时器2递增频率依分频器选择决定，而分频器则由特殊寄存器T2CON中的T2PS[2:0]位选择.

7.1.2. 事件计数模式

在此模式中，当然外部信号T2由1到0的跳变时，定时器得到递增，T2输入在每个周期中得以采样，定时器2在跳变检测的一个周期中得到递增.

7.1.3. 门控定时器模式

在此模式中，定时器2递增的内部时钟是由外部信号T2来控制的.

7.1.4. 定时器 2 的重载

重载（来自CRC寄存器的16位重载）可在以下两种模式中执行：

模式0：重载信号由定时器2溢出产生,即自动重载。

本说明书如有修改，恕不另行通知，请接洽您的销售代理商以获取最新版本信息。

模式1: 重载信号由相应的输入脚T2EX负跳变产生.

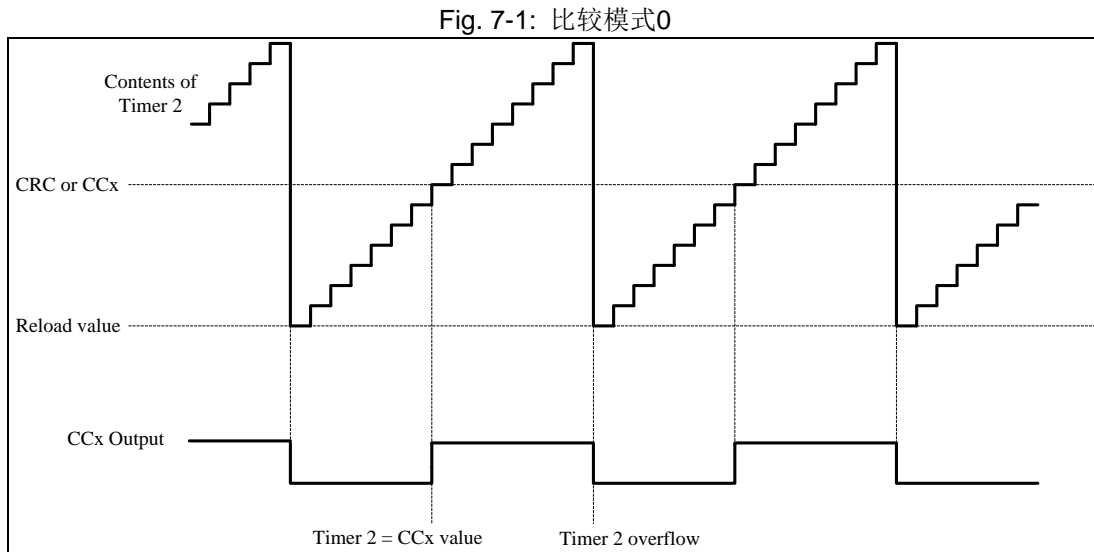
7.2. 比较功能

在四个独立的比较器中, 任何比较/捕捉寄存器中的值都和定时器寄存器的内容比较, 其比较模式0或1由位C0CAMx来选择. 在这两种比较模式中, 其比较结果在同样的机器周期的Port 1口的得出使得其内部比较信号被启动.

7.2.1. 比较模式 0

在模式0中, 当定时器2的值等同与比较寄存器上的值时, 其输出信号由低到高的跳变, 并在定时器溢出时返回低电位. 在此模式中, 对端口写入无效, 因为无法对来自内部总线及缓存器进行操作.

下表数字阐述了比较模式0的功能.

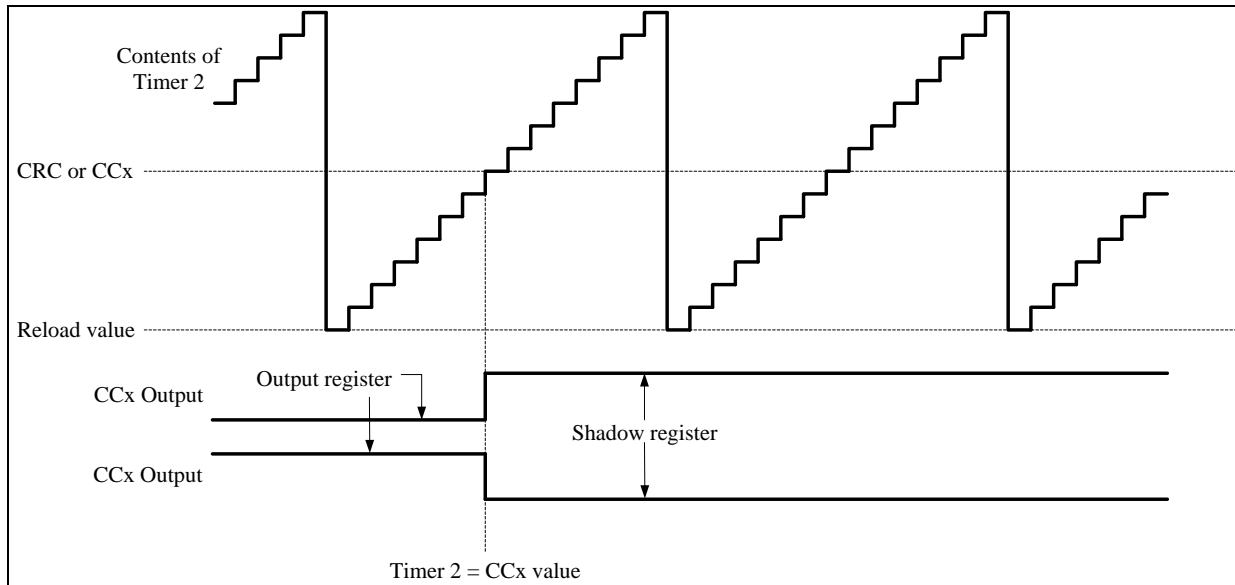
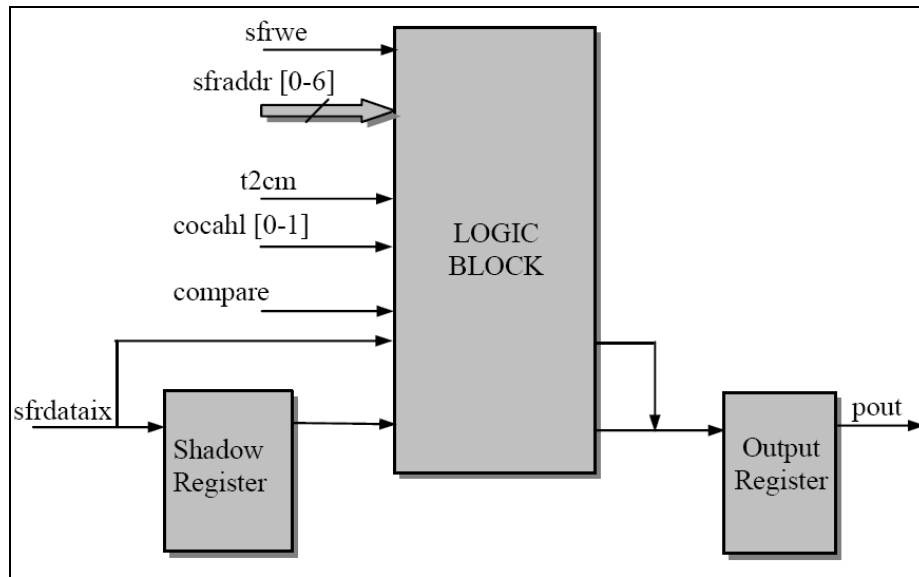


7.2.2. 比较模式 1

在比较模式1中, 其输出信号的跳变是由软件来决定的. 定时器2的溢出不会导致输出的改变. 在此模式中, 两种信号的跳变都是可以控制的, 图表7-2显示了在比较模式1中的寄存器/端口结构菜单.

在比较模式1中, 其值将首先被写入到“阴影寄存器”中, 当比较信号被启动时, 其值被传递到输出寄存器.

Fig. 7-2: 比较模式1



7.3. 捕获功能

在一个外部事件（模式0）或一个软件写操作（模式1）上，实际的定时器/计数器的值可以被保存在寄存器CCx或CRC中。

7.3.1. 捕捉模式 0

在模式0中，定时器2的值的捕捉在以下情况进行：

- (a) 上升沿输入 CC0-CC3。
- (b) 下降沿输入 CC0-CC3。
- (c) 上升沿及下降沿输入CC0-CC3。

定时器2的内容将被对应的捕捉寄存器锁存。

7.3.2. 捕捉模式 1

在模式1中，定时器2的值的捕捉将导致写入到捕捉寄存器中的低字节无任何价值,其捕捉寄存器的写入值与改功能无关，定时器2的内容将被对应的捕捉寄存器锁存。

本说明书如有修改，恕不另行通知，请接洽您的销售代理商以获取最新版本信息。

8. 串行接口0

SM59R02G1有一个数据传输的串行接口，即UART0。

作为传统的UART，其传输速率可通过SFRs中的波特率来选择。

这两个串行缓冲器组成两个单独寄存器，即一个传输缓冲区和一个接收缓冲区。写入数据到特殊功能寄存器（SFR）S0BUF并设置这些数据在串行输出缓冲，并开始传输，来自S0BUF的读取及从串行接收缓冲区读取数据，串行口可同时传输和接收数据，它也可在接收时缓存1字节，如CPU在第一个字节传输完成之前读取第二个字节，以防接收数据丢失。

Mnemonic	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET
Serial interface 0											
PCON	Power control	87h	SMOD	-	-	-	-	-	STOP	IDLE	40h
AUX	Auxiliary register	91h	BRGS	-	-	P1UR	-	-	-	DPS	00H
S0CON	Serial Port 0 control register	98h	SM0	SM1	SM20	REN0	TB80	RB80	T10	RI0	00h
S0RELL	Serial Port 0 reload register low byte	AAh	S0REL .7	S0REL .6	S0REL .5	S0REL .4	S0REL .3	S0REL .2	S0REL .1	S0REL .0	00h
S0RELH	Serial Port 0 reload register high byte	BAh	-	-	-	-	-	-	S0REL .9	S0REL .8	00h
S0BUF	Serial Port 0 data buffer	99h	S0BUF[7:0]								00h
PFCON	Peripheral Frequency control register	D9H	-	-	S0RELPS[1:0]		T1PS[1:0]		T0PS[1:0]		00H

Mnemonic: AUX

Address: 91h

7	6	5	4	3	2	1	0	Reset
BRGS	-	-	P1UR	-	-	-	DPS	00H

BRGS: BRGS = 0 –由定时器 1 产生鲍率。

BRGS = 1 –由 S0REL 寄存器产生鲍率。

P1UR: P1UR = 0 –串行接口 0 使用 P3.0, P3.1

P1UR = 1 –串行接口 0 使用 P1.2, P1.3

Mnemonic: S0CON

Address: 98h

7	6	5	4	3	2	1	0	Reset
SM0	SM1	SM20	REN0	TB80	RB80	T10	RI0	00h

SM0,SM1: 串行口 0 模式选择。

SM0	SM1	Mode
0	0	0
0	1	1
1	0	2
1	1	3

在 UART0 的 4 种模式中，模式 0~3 稍后解释

SM20: 多处理机通信使能位

REN0: 如置位，串行接收使能，软件清除禁止接收

TB80: 在模式2 和3 中，发送的第9 位数据位，置位或清零取决与它执行的功能，如奇偶校验功能，多处理机通信等。

RB80: 在模式2 和3 中，RB80 为接收的第9 位数据位。在模式1 中，如SM20=0, RB80

本说明书如有修改，恕不另行通知，请接洽您的销售代理商以获取最新版本信息。

为停止位。在模式 0 中，此位不被使用。须由软件清除。

TIO: 发送中断标志位.在完成串行传输后由硬件置位，须由软件清除。

RI0: 接收中断标志。在完成串行传输后由硬件置位，须由软件清除。

Mnemonic: PFCON					Address: D9H			
7	6	5	4	3	2	1	0	Reset
-	-	S0RELPS[1:0]	T1PS[1:0]	TOPS[1:0]		00H		

S0RELPS[1:0]: S0REL 预分频选择

S0RELPS[1:0]	预分频
00	频率/64
01	频率/32

T1PS[1:0]: 定时器 1 预分频选择

T1PS[1:0]	预分频
00	频率/12
01	频率
10	频率/96
11	保留

8.1. 串行接口 0

串行接口0由以下4种模式可以设置：

SM0	SM1	Mode	Description	Board Rate
0	0	0	Shift register	Fosc/12
0	1	1	8-bit UART	Variable
1	0	2	9-bit UART	Fosc/32 or Fosc/64
1	1	3	9-bit UART	Variable

这里的Fosc是晶体或振荡器的频率。

8.1.1. 模式 0

引脚RXD0充当输入和输出。TXD0输出时钟。每次发送或接收以LSB最低位作首位，每次8位。波特率固定为晶体的频率1/12,接收通过以下的在S0CON中的设置标志在模式0中初始化：RI0 = 0 and REN0 = 1。在其他模式中，当REN0=1时，开始从起始位接收串行数据。

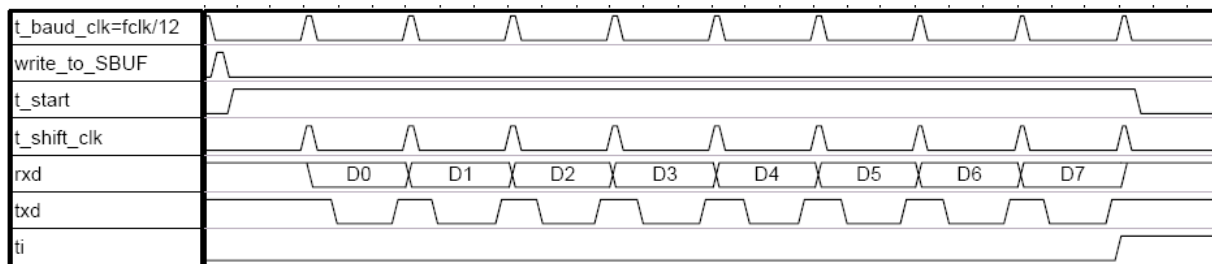


Fig. 8-1: Transmit mode 0 for Serial 0

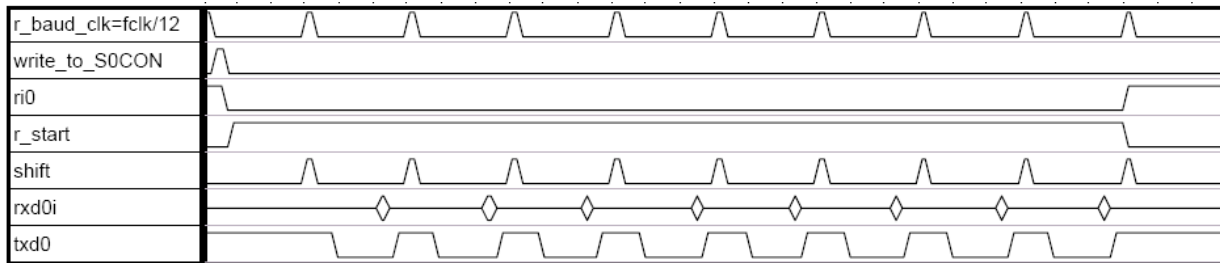


Fig. 8-2: Receive mode 0 for Serial 0

8.1.2. 模式 1

引脚RXD0充当输入，TXD0充当串行输出，无任何外部时钟被使用，每次数据为10位：一个起始位(=0)，8个数据位（LSB位在前），及一个停止位(=1)。在接收数据时，起始位将被同步传输，8个数据位可通过S0BUF来读取，一个停止位存于特殊功能寄存器S0CON的设置标志RB80内，在模式1中，无论是内部的波特率发生器或定时器1可以用来指定波特率。

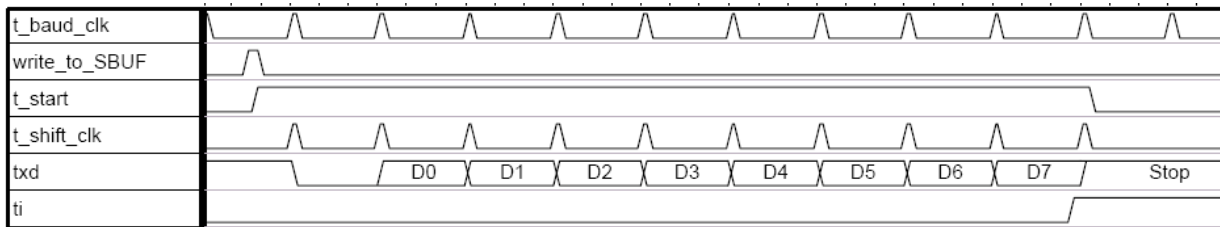


Fig. 8-3: Transmit mode 1 for Serial 0

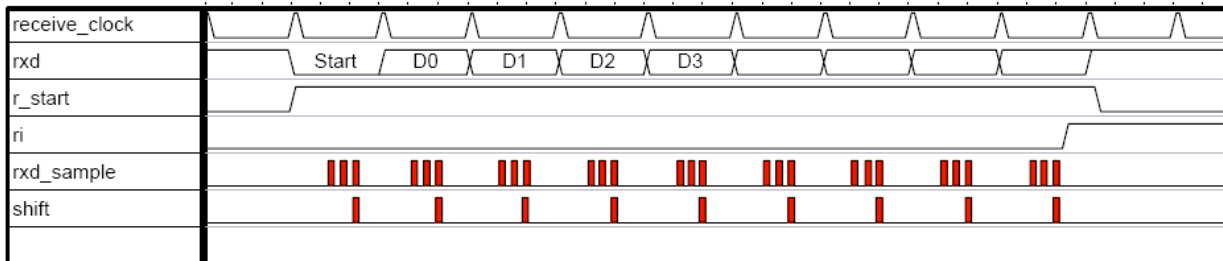


Fig. 8-4: Receive mode 1 for Serial 0

8.1.3. 模式 2

该模式和模式1类似，但有两点不同。波特率被固定在振荡器的频率的1/32（SMOD=1）或1/64（SMOD=0），且有11位数据被传输或接收：1个起始位（=0），8个数据位（LSB在前），一个可程序设计的第9位及一个停止位（=1），9位可以用来控制串行接口的奇偶性。在传输中，S0CON中的TB80输出第9位，在接收中，S0CON中的RB80将被影响。

8.1.4. 模式 3

模式2和3的唯一不同之处在于：在模式3中，无论是内部的波特率发生器或定时器1可以用来指定波特率。



Fig. 8-5: Transmit modes 2 and 3 for Serial 0

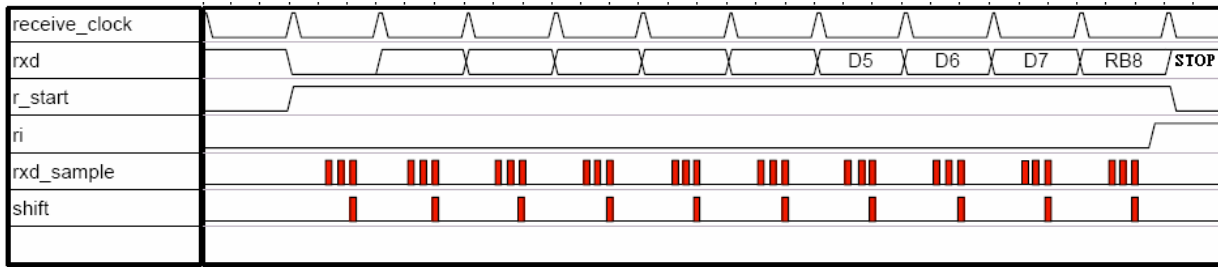


Fig. 8-6: Receive modes 2 and 3 for Serial 0

8.2. 串行接口 0 的多重机通讯

在串行接口 0 的模式 2 和 3 中，接收 9 位的功能，可用于多处理器的通讯。

在这种情况下，从机在 S0CON 中的位 SM20 被置位为 1。当主机输出从机的地址时，Bit9 将被置 1，从而在所有的从机中导致串行口接收中断。从机将接收到的字节和它们的网络地址比较，如匹配，其从机将清除 SM20，并接收其余的信息，其他的从机将远离 SM20 无效，并忽略此信息。在解决从机后，其主机在 Bit9 清 0 时将输出剩余部分的信息，因此，没有串口接收中断会产生在未选中的处理机中。

8.3. 波特率发生器

8.3.1. 串行接口 0 的模式 1 和 3

(a) 当 BRGS = 0 (在 AUX 寄存器):

T1PS[1:0] = 00

$$\text{Baud Rate} = \frac{2^{\text{SMOD}} \times F_{\text{OSC}}}{32 \times 12 \times (256 - \text{TH1})}$$

T1PS[1:0] = 01

$$\text{Baud Rate} = \frac{2^{\text{SMOD}} \times F_{\text{OSC}}}{32 \times (256 - \text{TH1})}$$

T1PS[1:0] = 10

$$\text{Baud Rate} = \frac{2^{\text{SMOD}} \times F_{\text{OSC}}}{32 \times 96 \times (256 - \text{TH1})}$$

(b) 当 BRGS = 1 (在 AUX 寄存器):

S0RELPS[1:0] = 00

$$\text{Baud Rate} = \frac{2^{\text{SMOD}} \times F_{\text{OSC}}}{64 \times (2^{10} - \text{S0REL})}$$

S0RELPS[1:0] = 01

$$\text{Baud Rate} = \frac{2^{\text{SMOD}} \times F_{\text{OSC}}}{32 \times (2^{10} - \text{S0REL})}$$

9. 看门狗定时器

看门狗定时器是一个8位的计数器并会在计数器溢出时产生复位讯号.WDT在噪音.电源干扰,或断电等导致软件死循环或跑飞程序等情况下非常有用.WDT功能可以说明拥护的软件从不正常的软件状态中恢复正常.WDT不同于通用的8052的定时器0,1,2.为了防止WDT复位,可以通过软件定时清除WDT计数器.当不可预料的复位发生时,用户应该检查WDTC寄存器的WDTF位. 在一外部复位后, 该看门狗定时器将无效且所有寄存器都清零.

看门狗定时器是一个自由运行的片上RC振荡器 (约250 KHz). WDT将保持运行就算是系统时钟被关闭(例如,在睡眠状态). 在正常的运行或睡眠状态,一个WDT超时(如使能)将导致MCU复位.WDT在正常状态下可随时被使能或失效.请注意WDTC寄存器的WDTE位.默认的WDT超时时间为接近16.38ms (WDTM [3:0] = 0100b).

WDT有可选择的分频.要选择分频,需要正确设置看门控制寄存器(WDTC)的位3~位0(WDTM [3:0])

$$WDTCLK = \frac{250\text{KHz}}{2^{\text{WDTM}}}$$

$$\text{Watchdog reset time} = \frac{256}{WDTCLK}$$

Table 9.1 WDT time-out period

WDTM [3:0]	Divider (250 KHz RC oscillator in)	Time period @ 250KHz
0000	1	1.02ms
0001	2	2.05ms
0010	4	4.10ms
0011	8	8.19ms
0100	16	16.38ms (default)
0101	32	32.77ms
0110	64	65.54ms
0111	128	131.07ms
1000	256	262.14ms
1001	512	524.29ms
1010	1024	1.05s
1011	2048	2.10s
1100	4096	4.19s
1101	8192	8.39s
1110	16384	16.78s
1111	32768	33.55s

当MCU复位,MCU将会读WDTEN控制位状态.当WDTEN位被设置为1,无论WDTE位状态如何,看门狗功能将会失效.当WDTEN位被清0,在WDTE位被通过变成设为1的情况下,看门狗功能将被使能.用户可通过烧路器或ISP设置WDTEN.

对WDTE位写入1同时WDTEN控制位清0,能使WDT功能使能.在WDTE设为1后.8位的计数器用通过WDTM[3:0]设置好的分频进行计数.它在溢出时将会产生复位讯号.WDTE位在MCU重启时将被自动清0,同时硬件复位或WDT复位.

看门狗一旦开始工作将无法停止. , 当WDTK寄存器用户可通过对看门狗定时器重置密钥(WDTK)写入55h实现WDT定时器清0.这将会清楚8位计数器内容并让计数器重启. 看门狗定时器必须定时刷新以防来自可变的重置复位请求信号.

当看门狗定时器溢出时, WDTF标志位将被置1并自动重置复位MCU.该标志位可被软件或外部复位清除.

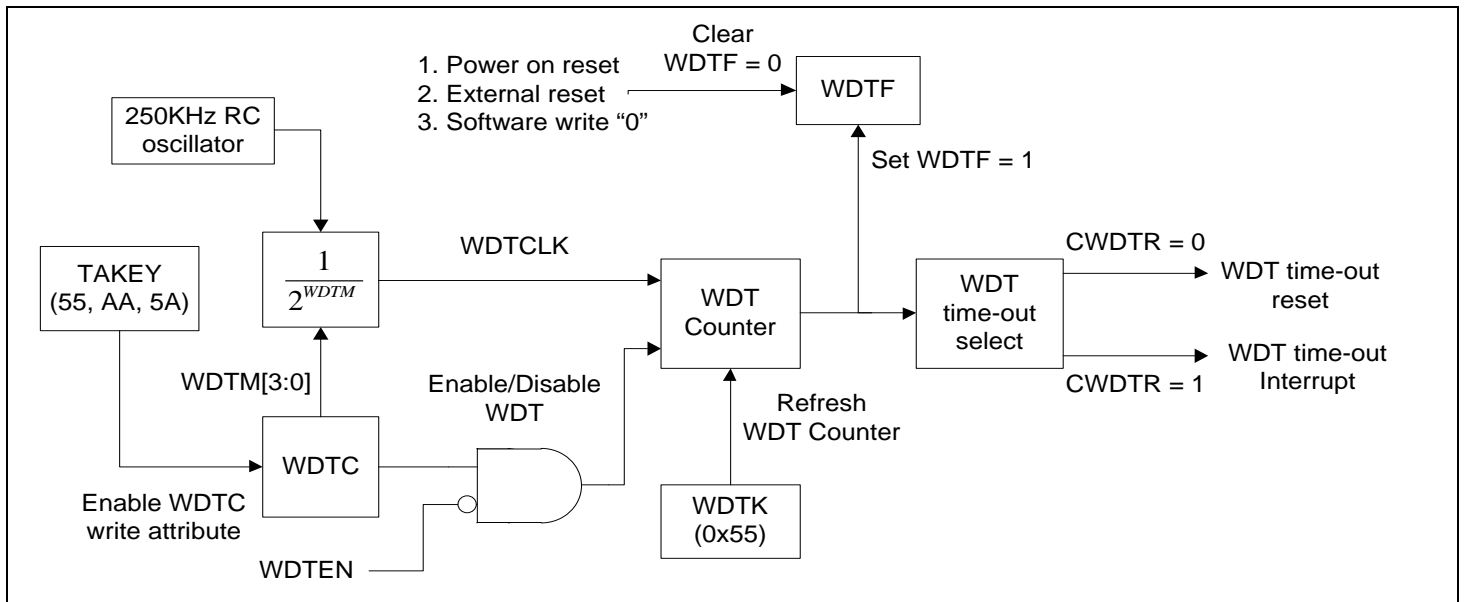


Fig. 9-1: Watchdog timer block diagram

Mnemonic	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET
Watchdog Timer											
TAKEY	Time Access Key register	F7h	TAKEY [7:0]								00H
WDTK	Watchdog timer control register	B6h	-	CWDTR	WDTE	-	WDTM [3:0]				04H
WDTK	Watchdog timer refresh key	B7h	WDTK[7:0]								00H
RSTS	Reset Status Flag register	A1H	-	-	-	PDRF	WDTF	SWRF	LVRF	PORF	00H

Mnemonic: TAKEY **Address: F7h**

7	6	5	4	3	2	1	0	Reset
TAKEY [7:0]								00H

看门狗控制寄存器(WDTC)默认为仅读;软件需依序于寄存器 TAKEY 写入 55h, AAh 及 5Ah 才能对看门狗控制寄存器(WDTC)执行写入,启动看门狗功能及设定重置时间

```
MOV TAKEY, #55h
MOV TAKEY, #AAh
MOV TAKEY, #5Ah
```

Mnemonic: WDTK **Address: B6h**

7	6	5	4	3	2	1	0	Reset
-	CWDTR	WDTE	-	WDTM [3:0]				04H

CWDTR: 0: 看门狗产生溢位重置信号

1: 看门狗产生溢位中断信号

WDTE: 看门狗定时器使能位.

此位需于WDTEN=0(此值于出厂时已设为0)时设置才有作用,既于刻录(使用ISP或一般刻录器)时于看门狗选项选择使用.

0: 禁能.

1: 使能.

WDTM [3:0]: 看门狗重置信号产生时间选择位.请参考表格 9.1 所列看门狗重置信号产生时间.

Mnemonic: WDTK							Address: B7h	
7	6	5	4	3	2	1	0	Reset
WDTK[7:0]								00h

WDTK: 看门狗定时器计数器清零寄存器.

于此寄存器写入 0x55, 看门狗定时器计数器将清零重新计数.

范例:

看门狗定时器使能并选择重置信号产生时间为 262.14ms.

第一步,先确认刻录时看门狗功能已选择使用.

第二步,如下

```

MOV TAKEY, #55h
MOV TAKEY, #AAh
MOV TAKEY, #5Ah           ; enable WDTK write attribute.
MOV WDTM, #28h           ; Set WDTM [3:0] = 1000b. Set WDTE =1 to enable WDT
                           ; function.
.
.
.
MOV WDTK, #55h           ; Clear WDT timer to 0.

```

Mnemonic: RSTS							Address: A1H	
7	6	5	4	3	2	1	0	Reset
-	-	-	PDRF	WDTF	SWRF	LVRF	PORF	00H

WDTF: 看门狗定时器产生重置信号之旗标位.

当 MCU 之重置是由看门狗定时器产生时, 此位将被置高.此旗标位清零可由软件、外部重置信号或上电之重置信号.

10. 中斷

SM59R02G1 提供 7 個中斷源並帶有 4 級優先權。每一中斷源都在特殊寄存器 (SFR) 中有自身的請求標志，每個中斷請求信號通過相應的標志及特殊寄存器 (SFR) 中的 IEN0, IEN1 及 IEN2 中的使能位來獨自允許或禁止。

當中斷發生時，CPU 將會跳轉預先設定的地址，如 10-1 圖表所示，一旦中斷開始執行，就只能被更高優先級的中斷終止，其中斷服務會被來自指令 RETI 的返回所終結。當一 RETI 被執行時且中斷發生時，處理器將返回此指令，並執行下一條指令。

當中斷條件發生時，該處理器通過設置一個標志位來表示，無論中斷使能或禁止，每個中斷標志都將在每個機器周期中採樣一次，隨後採樣由硬件來檢測，當中斷被使能時，且採樣指出相應中斷時，中斷請求標志被設置。在隨後的指令周期中，中斷將被硬件所確定。從而迫使一個 LCALL 指向相應的地址向量。

當中斷發生時，中斷響應將需要不同的時間，這取決於相關的處理器。如一處理器執行的中斷服務程序同等或更優先，新的中斷將不會啟用，在其他情況下，響應時間將取決於當前的指令。以最快的速度響應一個中斷是需要 7 個機器周期，這包括一個檢測中斷的機器周期和 6 周期執行 LCALL 周期。

Table 10-1: 中斷向量

Interrupt Request Flags	Interrupt Vector Address	Interrupt Number *(use Keil C Tool)
IE0 –外部中斷 0	0003h	0
TF0 –定时器 0 中斷	000Bh	1
IE1 –外部中斷 1	0013h	2
TF1 –定时器 1 中斷	001Bh	3
RI0/TI0 –串行口 0 中斷	0023h	4
TF2/EXF2 –定时器 2 中斷	002Bh	5
WDT –看門狗中斷	008Bh	17

*參考 Keil C 用戶指南中的有關中斷功能使用說明

Mnemonic	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET
Interrupt											
IEN0	Interrupt Enable 0 register	A8h	EA	-	ET2	ES0	ET1	EX1	ET0	EX0	00h
IEN1	Interrupt Enable 1 register	B8h	EXEN 2	-	-	-	-	-	-	-	00h
IRCON	Interrupt request register	C0h	EXF2	TF2	-	-	-	-	-	-	00h
IEN2	Interrupt Enable 2 register	9Ah	-	-	-	-	-	-	IEWDT	-	00h
IRCON2	Interrupt request register 2	97h	-	-	-	-	-	-	WDTIF	-	00h
IP0	Interrupt priority level 0	A9h	-	-	IP0.5	IP0.4	IP0.3	IP0.2	IP0.1	IP0.0	00h
IP1	Interrupt priority level 1	B9h	-	-	IP1.5	IP1.4	IP1.3	IP1.2	IP1.1	IP1.0	00h

Interrupt Enable 0 register(IEN0)

Mnemonic: IEN0							Address: A8h	
7	6	5	4	3	2	1	0	Reset
EA	-	ET2	ES0	ET1	EX1	ET0	EX0	00h

- EA: EA=0 –禁能所有中断.
EA=1 –使能所有中断.
- ET2: ET2=0 –禁能定时器 2 中断.
ET2=1 –使能定时器 2 中断.
- ES0: ES0=0 –禁能串行口 0 中断.
ES0=1 –使能串行口 0 中断.
- ET1: ET1=0 –禁能定时器 1 中断.
ET1=1 –使能定时器 1 中断.
- EX1: EX1=0 –禁能外部中断 1.
EX1=1 –使能外部中断 1.
- ET0: ET0=0 –禁能定时器 0 中断.
ET0=1 –使能定时器 0 中断.
- EX0: EX0=0 –禁能外部中断 0.
EX0=1 –使能外部中断 0.

Interrupt Enable 1 register(IEN1)

Mnemonic: IEN1							Address: B8h	
7	6	5	4	3	2	1	0	Reset
EXEN2	-	-	-	-	-	-	-	00h

- EXEN2: 定时器 2 重载中断使能位.
EXEN2 = 0 –禁能定时器 2 外部重载中断.
EXEN2 = 1 –使能定时器 2 外部重载中断.

Interrupt Enable 2 register(IEN2)

Mnemonic: IEN2							Address: 9Ah	
7	6	5	4	3	2	1	0	Reset
-	-	-	-	-	-	IEWDT	-	00h

- IEWDT: 看门狗中断使能位.
IEWDT = 0 –禁能看门狗中断.
IEWDT = 1 –使能看门狗中断.

Interrupt request register(IRCON)

Mnemonic: IRCON							Address: C0h	
7	6	5	4	3	2	1	0	Reset
EXF2	TF2	-	-	-	-	-	-	00H

- EXF2: 定时器 2 重载中断旗标位.必须由软件清零.
TF2: 定时器 2 中断旗标位.必须由软件清零.

Interrupt request register 2(IRCON2)

Mnemonic: IRCON2							Address: 97h	
7	6	5	4	3	2	1	0	Reset
-	-	-	-	-	-	WDTIF	-	00H

WDTIF 看门狗中断旗标位

10.1. 优先权配置

所有中断来源相组合于以下群组中:

Table 10-2: 优先权群组

群组	
外部中断 0	-
定时器 0 中断	-
外部中断 1	看门狗中断
定时器 1 中断	-
串行口 0 中断	-
定时器 2 中断	-

通过对SFRs中的IP0或IP1置位或清零，每一组中断都可被独自程序设计为四个优先级中的一个，如要求相同的优先级被同时接收，一内部顺序将依次确定哪个请求被优先服务。

Mnemonic: IP0							Address: A9h	
7	6	5	4	3	2	1	0	Reset
-	-	IP0.5	IP0.4	IP0.3	IP0.2	IP0.1	IP0.0	00h

Mnemonic: IP1							Address: B9h	
7	6	5	4	3	2	1	0	Reset
-	-	IP1.5	IP1.4	IP1.3	IP1.2	IP1.1	IP1.0	00h

Table 10-3: 优先权层级


IP1.x	IP0.x	优先权层级
0	0	Level0 (最低)
0	1	Level1
1	0	Level2
1	1	Level3 (最高)

Table 10-4: 优先权层级群组

Bit	群组	
IP1.0, IP0.0	外部中断 0	-
IP1.1, IP0.1	定时器 0 中断	-
IP1.2, IP0.2	外部中断 1	看门狗中断
IP1.3, IP0.3	定时器 1 中断	-
IP1.4, IP0.4	串行口 0 中断	-
IP1.5, IP0.5	定时器 2 中断	-



Table 10-5: 中断轮询顺序

中断源	顺序
外部中断0	 轮询顺序
定时器0中断	
看门狗中断	
外部中断1	
定时器1中断	
串行口0中断	
定时器2中断	

11. 电源管理单元

电源管理单元提供两种电源管理模式，即IDLE（待机/空闲）和STOP（停止），并为用户提供省电功能。

Mnemonic: PCON							Address: 87h		
7	6	5	4	3	2	1	0	Reset	
SMOD	-	-	-	-	-	STOP	IDLE	40h	

STOP: STOP 模式控制位。设置此位将运行 STOP 模式，
STOP 位总是读为 0.

IDLE: IDIE 模式控制位。设置此位将运行 IDLE 模式，
IDLE 位总是读为 0

11.1. 待机模式(空闲模式)

使用IDLE（待机模式(空闲模式)）模式可通过对PCON寄存器的IDLE位置位。空闲模式停止MCU的时钟源，但外部的时钟源依旧保持，由于此时CPU不工作，电源功耗将被降低。当任何一中断信号或者一复位信号时，CPU将退出待机模式（空闲模式）。

11.2. 停止模式

使用STOP（停止模式）模式可通过对PCON寄存器的STOP位置位。在此模式中，所有的中断源将全部被关闭，CPU将从一个无时钟的中断（外部中断0/1）或看门狗中断或者一个重置（看门狗及低压重置）条件下退出该模式，内部产生的中断（定时器，串行端口...），由于它们需要时钟源而会没有任何动作。

12. LVR–低电压复位

Mnemonic: LVC							Address: E6h	
7	6	5	4	3	2	1	0	Reset
-	-	LVREN	-	-	-	-	-	20H

LVREN 使能低电压复位元功能。

LVREN = 0：禁能低电压检测复位元功能。

LVREN = 1：使能低电压检测复位元功能。

低电压复位电位：

Symbol	Parameter	Min	Typ	Max	Units
V_{LVR}	低电压复位电位	1.9	2.1	2.3	V

13. 在系统程序设计(Internal ISP)

SM59R02G1 可通过内部硬件电路产生 flash 控制讯号.用户利用 flash 控制寄存器,flash 地址寄存器和 flash 数据寄存器在不需要将 SM59R02G1 移出系统的情况下实现 ISP 功能. SM59R02G1 提供了可以实现 flash 程序设计/芯片擦除/页擦除/保护功能的 flash 控制讯号.使用者需要去设计和使用任何 SM59R02G1 可以输入数据的接口,然后利用 ISP 服务程序去实现 flash 的程序设计/芯片擦除/页擦除/保护功能.

13.1. ISP 服务程序

ISP 服务程序是由用户自行开发并放置于 ISP 服务程序区的物件. 用户可依需求决定 ISP 服务程序的大小. 另外用户需将 ISP 服务程序刻录至 SM59R02G1 芯片中才可使用 ISP 功能.

由于 ISP 服务程序是由用户自行开发,它需包括 flash 数据寄存器的刻录及 SM59R02G1 芯片与上位机的通讯协议. 举例来说, 使用者使用 SM59R02G1 芯片上之 UART 接口与上位机作数据之传送及接收, 则 SM59R02G1 芯片上之 ISP 服务程序内需有波特率设定, 为避免数据传输错误需有数据总合检查或同位检查或其他错误检查机制.

于正常动作模式或空闲模式可启动 ISP 服务程序, 于停止模式则不行.

13.2. 锁定位(N)

锁定位 N 有两个功能:一是配置服务程序的大小,另一个则是通过 flash 擦除功能锁定 ISP 服务程序的空间.

ISP 服务程序地址位从 \$1C00 到 \$1FFF.它可被分为 $N \times 256$ 字节($N=0-4$).当 N 为 0 时没有 ISP 功能.所有的 8k flash 都被用来做程序存储.当 N 为 1 时,ISP 服务程序占用 256 字节,剩余的 7.75k flash 可被用做程序存储.ISP 服务程序的最大空间为 1KB(当 N 为 4 时).在这样的配置下,可用的程序存储空间为 7KB.

在 N 定下来后, SM59R02G1 会从上往下(从最顶端到地址 \$1FFF)保存 ISP 服务程序空间.ISP 服务程序的开始地址位于 \$1x00(x 为任意数字,以 N 为准,如表 13-1 所示)

锁定位 N 功能不同于 flash 保护功能,flash 擦除功能可以擦除除 ISP 服务程序空间外的所有 flash 内存.如 flash 没有被保护,ISP 服务程序的内容一直可被读.如 flash 被保护,所有的 flash 程序空间包括 ISP 服务程序空间不能被读.

Table 13.1 ISP code area.

N	ISP service program address
0	No ISP service program
1	256 bytes (\$FF00h ~ \$FFFFh)
2	512 bytes (\$FE00h ~ \$FFFFh)
3	768 bytes (\$FD00h ~ \$FFFFh)
4	1.0 K bytes (\$FC00h ~ \$FFFFh)

ISP 服务程序配置于 $N \times 256$ byte ($N=0 \sim 4$)

13.3. 对 ISP 服务程序程序设计

在锁定位 N 被设置并 ISP 服务程序被程序设计后,ISP 服务程序内存被自动的保护(锁定).锁定位 N 有它自己的程序设计/擦除 次数.这不同于 flash 内存的程序设计/擦除次数.因此,被锁定的 ISP 服务程序不可被 flash 擦除功能所擦除.如客户需要擦除锁定的 ISP 服务程序,他只可以通过烧写器实现.当 SM59R02G1 在系统时,客户不可改变 ISP 服务程序.

13.4. 启动 ISP 服务程序

要启动 ISP 服务程序就是要在 ISP 服务程序的开始地址装载程序计数(PC)并执行它.有四种实现的方法:

- (1) 空复位.用首地址为空的硬件复位会在 ISP 服务程序的开始地址装载 PC.硬件复位包括内部(电源或重启)

本说明书如有修改,恕不另行通知,请接洽您的销售代理商以获取最新版本信息。

和外部重置埠复位。

- (2) 执行 jump 指令可在 ISP 服务程序的开始地址装载 PC
- (3) 通过硬件设置进入 ISP 服务程序.用户可通过设置当硬件复位时,P2.6,P2.7'为低'或 P4.3'为低', SM59R02G1 会强行进入 ISP 服务程序.硬件复位包括内部(电源或重启)和外部键盘复位.在应用系统设计时,用户因该对 P2.6,P2.7 或 P4.3 在复位时间内防止 SM59R02G1 进入 ISP 服务程序.
- (4) 通过硬件设置进入 ISP 服务程序.P3.0 在硬件复位时会侦测到 2 个时钟讯号. 硬件复位包括内部(电源或重启)和外部键盘复位

在硬件复位周期内, 硬件可以侦测 P2.6/P2.7/P4.3/P3.0 状态.如果他们满足了上面的其中一个条件,芯片将会自动跳转到 ISP 模式.在 ISP 服务程序被执行后,用户需要对 SM59R02G1 进行复位,通过硬件复位或 WDT,或是'JUMP'至地址 \$0000 来实现重启程式.

为了使用者的不同应用情况,这里有 8 种不同的进入机制.这个进入方法可以在烧路器或 ISP 中选取.

- (1) 首地址为空例如\$0000 = 0xFF. 且由内部重置信号触发.
- (2) 首地址为空例如\$0000 = 0xFF. 且由外部重置信号触发.
- (3) P2.6 = 0 & P2.7 = 0. 且由内部重置信号触发.
- (4) P2.6 = 0 & P2.7 = 0. 且由外部重置信号触发.
- (5) P4.3 = 0. 且由内部重置信号触发.
- (6) P4.3 = 0. 且由外部重置信号触发.
- (7) P3.0 输入 2 个时钟. 且由内部重置信号触发.
- (8) P3.0 输入 2 个时钟. 且由外部重置信号触发.

13.5. ISP 寄存器 – TAKEY, IFCON, ISPF AH, ISPFAL, ISPF D and ISPF C

Mnemonic	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET
ISP function											
TAKEY	Time Access Key register	F7h	TAKEY [7:0]								00H
IFCON	Interface Control register	8Fh	ITS	CDPR	-	-	ALEC[1:0]	-	ISPE		00H
ISPF AH	ISP Flash Address - High register	E1h	-	-	-	ISPF AH [4:0]				FFH	
ISPFAL	ISP Flash Address - Low register	E2h	ISPFAL [7:0]								FFH
ISPF D	ISP Flash Data register	E3h	ISPF D [7:0]								FFH
ISPF C	ISP Flash Control register	E4h	EMF1	EMF2	EMF3	EMF4	-	ISPF.2	ISPF.1	ISPF.0	00H

Mnemonic: TAKEY							Address: F7H			
7	6	5	4	3	2	1	0	Reset		
TAKEY [7:0]								00H		

ISP 使能位(ISPE)默认为只读,软件必须连续的对 TAKEY 寄存器写三个特定值 55h,AAh,和 5Ah,使 ISPE 位可写. 这是:

```
MOV TAKEY, #55h
MOV TAKEY, #AAh
MOV TAKEY, #5Ah
```



Mnemonic: IFCON

Address: 8FH

7	6	5	4	3	2	1	0	Reset
ITS	CDPR	-	-	ALEC[1:0]	-	-	ISPE	00H

位 0(ISPE) of IFCON 是 ISP 使能位,用户可通过设置 ISPE 位为 1 使能 SM59R02G1 的全部 ISP 功能,通过设置 ISPE 为 0 来禁止全部 ISP 功能.ISPE 的作用象一个加密匙.用户可禁止所有的 ISP 功能以保护软件程序不被意外的擦除.ISP 寄存器 ISPF AH,ISPF AL,ISPF D,与 ISPF C 默认为只读.软件必须将 ISPE 位设为 1 以使上述 4 个寄存器为可写.

Mnemonic: ISPF AH

Address: E1H

7	6	5	4	3	2	1	0	Reset
-	-	-	ISPF AH4	ISPF AH3	ISPF AH2	ISPF AH1	ISPF AH0	FFH

ISPF AH [4:0]: 使用ISP功能之地址高字节

Mnemonic: ISPF AL

Address: E2H

7	6	5	4	3	2	1	0	Reset
ISPF AL7	ISPF AL6	ISPF AL5	ISPF AL4	ISPF AL3	ISPF AL2	ISPF AL1	ISPF AL0	FFH

ISPF AL [7:0]: 使用ISP功能之地址低字节

ISPF AH 与 ISPF AL 提供了 13 位 flash 内存地址用做 ISP 功能.这个 flash 内存地址不应该包括 ISP 服务程序空间地址.若 ISPF AH & ISPF AL 寄存器控制的 flash 内存地址覆盖了 ISP 服务程序空间的地址.这个 flash 程序/页擦除等 ISP 功能的执行将会无效.

Mnemonic: ISPF D

Address: E3H

7	6	5	4	3	2	1	0	Reset
ISPF D7	ISPF D6	ISPF D5	ISPF D4	ISPF D3	ISPF D2	ISPF D1	ISPF D0	FFH

ISPF D [7:0]: 使用ISP功能之数值.

The ISPF D provide the 8-bit data register for ISP function.

Mnemonic: ISPF C

Address: E4H

7	6	5	4	3	2	1	0	Reset
EMF1	EMF2	EMF3	EMF4	-	ISPF [2]	ISPF [1]	ISPF [0]	00H

EMF1: 进入机制 (1) 标志位, 由复位信号清除. (仅读)

EMF2: 进入机制 (2) 标志位, 由复位信号清除. (仅读)

EMF3: 进入机制 (3) 标志位, 由复位信号清除. (仅读)

EMF4: 进入机制 (4) 标志位, 由复位信号清除. (仅读)

ISPF [2:0]: ISP功能选择位.

ISPF[2:0]	ISP function
000	Byte program
001	Chip protect
010	Page erase
011	Chip erase
100	Write option
101	Read option
110	Erase option
111	reserved

閃存一页有256字节

可设定功能选择位如内部复位时间选择(于1.4.1节描述)、时钟源来源选择 (于1.5节描述)、

本说明书如有修改, 恕不另行通知, 请接洽您的销售代理商以获取最新版本信息。

P4[4:7] 功能选择(于第5章描述)、看门狗功能启动位(于第9章描述)、或 ISP 进入机制选择(于第13章描述)。
只能读取功能选择位于芯片被加密后。

选择的 ISP 功能在软件对 ISPFC 寄存器写入数据时将会执行一次。

要实现字节程序设计/页擦除 ISP 功能,用户需要在开始时指定 flash 地址.在实现页擦除功能时,SM59R02G1 将除 ISPF AH 与 ISPF AL 寄存器中显示地址所在的整页。

范例. 闪存地址: \$XYMN

将对地址 \$XY00 to \$XYFF 执行页抹除

要实现芯片擦除 ISP 功能, SM59R02G1 将擦除除 ISP 服务程序外的所有 flash 程序内存.要实现芯片保护 ISP 功能, SM59R02G1 flash 内容将被读为#00H.

范例: 将对地址\$1005H 执行字节写, 写入#22H

```
MOV TAKEY, #55h
MOV TAKEY, #AAh
MOV TAKEY, #5Ah      ; 启动 ISPE 可写入属性
MOV IFCON, #01H     ; 启动 SM59R02G1 ISP 功能
MOV ISPF AH, #10H   ; 设定闪存高字节地址,10H
MOV ISPF AL, #05H   ; 设定闪存低字节地址,05H
MOV ISPF D, #22H    ; 设定将写入闪存之数据,数据= 22H
MOV ISPF C, #00H    ; 开始将写入闪存之数据#22H 写入地址$1005H
```

工作环境

Symbol	Description	Min.	Typ.	Max.	Unit.	Remarks
TA	Operating temperature	-40	25	85	°C	Ambient temperature under bias
VDD	Supply voltage	2.7		5.5	V	

DC 电气特性

$T_A = -40^{\circ}\text{C}$ to 85°C , $V_{CC} = 5.0\text{V}$

Symbol	Parameter	Valid	Min	Max	Units	Conditions
VIL1	Input Low-voltage	Port 0,1,2,3,4,5	-0.5	0.8	V	$V_{CC}=5\text{V}$
VIL2	Input Low-voltage	RES, XTAL1	0	0.8	V	
VIH1	Input High-voltage	Port 0,1,2,3,4,5	2.0	$V_{CC} + 0.5$	V	
VIH2	Input High-voltage	RES, XTAL1	$70\%V_{CC}$	$V_{CC} + 0.5$	V	
VOL	Output Low-voltage	Port 0,1,2,3,4,5		0.4	V	$I_{OL}=4.9\text{mA}$ $V_{CC}=5\text{V}$
VOH1	Output High-voltage using Strong Pull-up ⁽¹⁾	Port 0,1,2,3,4,5	$90\% V_{CC}$		V	$I_{OH} = -4.6\text{mA}$
VOH2	Output High-voltage using Weak Pull-up ⁽²⁾	Port 0,1,2,3,4,5	2.4		V	$I_{OH} = -250\mu\text{A}$
			$75\% V_{CC}$		V	$I_{OH} = -162\mu\text{A}$
			$90\% V_{CC}$		V	$I_{OH} = -73\mu\text{A}$
IIL	Logic 0 Input Current	Port 0,1,2,3,4,5		-75	μA	$V_{in} = 0.45\text{V}$
ITL	Logical Transition Current	Port 0,1,2,3,4,5		-650	μA	$V_{in} = 2.0\text{V}$
ILI	Input Leakage Current	Port 0,1,2,3,4,5		± 10	μA	$0.45\text{V} < V_{in} < V_{CC}$
RRST	Reset Pull-down Resistor	RES	50	300	$\text{k}\Omega$	
CIO	Pin Capacitance			10	pF	Freq= 1MHz, $T_a = 25^{\circ}\text{C}$
ICC	Power Supply Current	VDD		12	mA	Active mode, 12MHz $V_{CC} = 5\text{V}$ 25°C
				11	mA	Idle mode, 12MHz $V_{CC} = 5\text{V}$ 25°C
				5	μA	Power down mode $V_{CC} = 5\text{V}$ 25°C

Notes: 1. Port in Push-Pull Output Mode
2. Port in Quasi-Bidirectional Mode

$T_A = -40^{\circ}\text{C}$ to 85°C , $V_{CC} = 3.0\text{V}$

Symbol	Parameter	Valid	Min	Max	Units	Conditions
VIL1	Input Low-voltage	Port 0,1,2,3,4,5	-0.5	0.8	V	$V_{CC}=3.0\text{V}$
VIL2	Input Low-voltage	RES, XTAL1	0	0.8	V	
VIH1	Input High-voltage	Port 0,1,2,3,4,5	2.0	$V_{CC} + 0.5$	V	
VIH2	Input High-voltage	RES, XTAL1	$70\%V_{CC}$	$V_{CC} + 0.5$	V	
VOL	Output Low-voltage	Port 0,1,2,3,4,5		0.4	V	$I_{OL}=3.2\text{mA}$ $V_{CC}=3.0\text{V}$
VOH1	Output High-voltage using Strong Pull-up ⁽¹⁾	Port 0,1,2,3,4,5	$90\% V_{CC}$		V	$I_{OH} = -2.3\text{mA}$
VOH2	Output High-voltage using Weak Pull-up ⁽²⁾	Port 0,1,2,3,4,5	2.4		V	$I_{OH} = -77\mu\text{A}$
			$90\% V_{CC}$		V	$I_{OH} = -33\mu\text{A}$
IIL	Logic 0 Input Current	Port 0,1,2,3,4,5		-75	μA	$V_{in} = 0.45\text{V}$
ITL	Logical Transition Current	Port 0,1,2,3,4,5		-650	μA	$V_{in} = 1.5\text{V}$
ILI	Input Leakage Current	Port 0,1,2,3,4,5		± 10	μA	$0.45\text{V} < V_{in} < V_{CC}$
RRST	Reset Pull-down Resistor	RES	50	300	$\text{k}\Omega$	
CIO	Pin Capacitance			10	pF	Freq= 1MHz, $T_a = 25^{\circ}\text{C}$
ICC	Power Supply Current	VDD		11	mA	Active mode, 12MHz $V_{CC} = 3.0\text{V}$ 25°C
				10	mA	Idle mode, 12MHz $V_{CC} = 3.0\text{V}$ 25°C
				4	μA	Power down mode $V_{CC} = 3.0\text{V}$ 25°C

Notes: 1. Port in Push-Pull Output Mode
2. Port in Quasi-Bidirectional Mode